



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0042997
(43) 공개일자 2020년04월27일

(51) 국제특허분류(Int. Cl.)

H01L 27/12 (2006.01) H01L 27/15 (2006.01)

H01L 33/38 (2010.01) H01L 33/62 (2010.01)

(52) CPC특허분류

H01L 27/1214 (2013.01)

H01L 27/156 (2013.01)

(21) 출원번호 10-2018-0123414

(22) 출원일자 2018년10월16일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

박진오

경기도 용인시 기흥구 삼성로 1 (농서동)

강중혁

경기도 용인시 기흥구 삼성로 1 (농서동)

(뒷면에 계속)

(74) 대리인

김두식, 문용호, 오중환

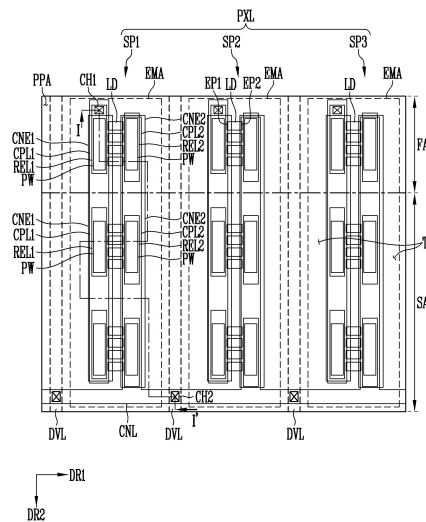
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 장치

(57) 요약

표시 장치는, 표시 영역 및 비표시 영역을 포함한 기판; 및 상기 표시 영역에 제공되며, 복수의 서브 화소들을 각각 구비한 복수의 화소들을 포함할 수 있다. 여기서, 각 서브 화소는, 화소 회로부 및 광을 방출하는 적어도 하나의 발광 소자를 구비한 표시 소자층을 포함할 수 있다. 상기 표시 소자층은, 동일한 면 상에 제공되며 서로 이격된 제1 및 제2 전극; 상기 제1 및 제2 전극 사이에 제공된 상기 발광 소자; 상기 발광 소자의 양 단부 중 하나의 단부와 상기 제1 전극을 연결하는 제1 콘택 전극; 및 상기 발광 소자의 양 단부 중 나머지 단부와 상기 제2 전극을 연결하는 제2 콘택 전극을 포함할 수 있다. 본 발명의 일 실시예에 있어서, 각 서브 화소는 상기 화소 회로부가 배치되는 제1 영역 및 상기 제1 영역에 인접한 제2 영역을 포함할 수 있다. 여기서, 상기 제2 영역은 상기 광이 투과되는 투과 영역을 포함할 수 있다.

대표도 - 도4



(52) CPC특허분류

H01L 33/38 (2013.01)

H01L 33/62 (2013.01)

(72) 발명자

송근규

경기도 용인시 기흥구 삼성로 1 (농서동)

조성찬

경기도 용인시 기흥구 삼성로 1 (농서동)

조현민

경기도 용인시 기흥구 삼성로 1 (농서동)

명세서

청구범위

청구항 1

표시 영역 및 비표시 영역을 포함한 기관; 및
 상기 표시 영역에 제공되며, 복수의 서브 화소들을 각각 구비한 복수의 화소들을 포함하고,
 각 서브 화소는, 화소 회로부 및 광을 방출하는 적어도 하나의 발광 소자를 구비한 표시 소자층을 포함하고,
 상기 표시 소자층은,
 동일한 면 상에 제공되며 서로 이격된 제1 및 제2 전극;
 상기 제1 및 제2 전극 사이에 제공된 상기 발광 소자;
 상기 발광 소자의 양 단부 중 하나의 단부와 상기 제1 전극을 연결하는 제1 컨택 전극; 및
 상기 발광 소자의 양 단부 중 나머지 단부와 상기 제2 전극을 연결하는 제2 컨택 전극을 포함하고,
 각 서브 화소는 상기 화소 회로부가 배치되는 제1 영역 및 상기 제1 영역에 인접한 제2 영역을 포함하며,
 상기 제2 영역은 상기 광이 투과되는 투과 영역을 포함하는 표시 장치.

청구항 2

제1 항에 있어서,
 상기 제2 영역의 광 투과도는 상기 제1 영역의 광 투과도보다 높은 표시 장치.

청구항 3

제2 항에 있어서,
 상기 표시 소자층은 상기 제1 영역과 상기 제2 영역 중 적어도 하나 이상의 영역에 제공되는 표시 장치.

청구항 4

제3 항에 있어서,
 상기 표시 소자층은,
 상기 제1 전극 상에 제공되어 상기 제1 전극과 전기적으로 연결된 제1 캡핑층; 및
 상기 제2 전극 상에 제공되어 상기 제2 전극과 전기적으로 연결된 제2 캡핑층을 더 포함하고,
 상기 제1 캡핑층과 상기 제2 캡핑층은 투명한 도전성 물질로 이루어진 표시 장치.

청구항 5

제4 항에 있어서,
 상기 화소 회로부는,
 상기 기관 상에 제공되며, 상기 발광 소자에 전기적으로 연결된 적어도 하나의 트랜지스터;
 상기 기관 상에 제공되며, 상기 제1 영역에서 상기 제2 영역으로 연장된 구동 전압 배선; 및
 상기 트랜지스터와 상기 구동 전압 배선 상에 제공된 보호층을 포함하는 표시 장치.

청구항 6

제5 항에 있어서,

상기 표시 소자층은 상기 제1 영역과 상기 제2 영역에 각각 제공되는 표시 장치.

청구항 7

제6 항에 있어서,

상기 제1 및 제2 전극은 상기 제1 영역으로부터 상기 제2 영역까지 연장되는 표시 장치.

청구항 8

제6 항에 있어서,

상기 제1 및 제2 전극은 상기 제1 영역과 상기 제2 영역에 각각 제공되고,

상기 제1 영역에 제공된 상기 제1 전극과 상기 제2 영역에 제공된 상기 제1 전극은 서로 이격되며,

상기 제1 영역에 제공된 상기 제2 전극과 상기 제2 영역에 제공된 상기 제2 전극은 서로 이격된 표시 장치.

청구항 9

제8 항에 있어서,

상기 각 서브 화소에서, 상기 제1 캡핑층은 상기 제1 영역으로부터 상기 제2 영역까지 연장되며, 상기 제1 영역의 상기 제1 전극과 상기 제2 영역의 상기 제1 전극을 전기적으로 연결하고,

상기 각 서브 화소에서, 상기 제2 캡핑층은 상기 제1 영역으로부터 상기 제2 영역까지 연장되며, 상기 제1 영역의 상기 제2 전극과 상기 제2 영역의 상기 제2 전극을 전기적으로 연결하는 표시 장치.

청구항 10

제5 항에 있어서,

상기 표시 소자층은 상기 제1 영역에 제공되며, 상기 화소 회로부와 중첩하는 표시 장치.

청구항 11

제10 항에 있어서,

상기 표시 소자층은 상기 구동 전압 배선과 상기 제2 전극을 연결하는 연결 배선을 더 포함하는 표시 장치.

청구항 12

제11 항에 있어서,

상기 연결 배선은 상기 제2 캡핑층과 일체로 제공되는 표시 장치.

청구항 13

제11 항에 있어서,

상기 연결 배선은 상기 제2 전극과 일체로 제공되는 표시 장치.

청구항 14

제5 항에 있어서,

상기 제2 영역은 상기 표시 소자층이 제공된 제2-1 영역 및 상기 제2-1 영역에 인접한 제2-2 영역을 포함하고,

상기 제2-2 영역에는 상기 표시 소자층이 제공되지 않는 표시 장치.

청구항 15

제14 항에 있어서,

상기 제2 영역에는 상기 구동 전압 배선과 상기 제2 전극을 전기적으로 연결하는 추가 도전 패턴이 배치되는 표시 장치.

청구항 16

제15 항에 있어서,

상기 추가 도전 패턴은 상기 구동 전압 배선과 일체로 제공되며, 상기 보호층을 관통하는 컨택 홀을 통해 상기 제2 전극에 전기적으로 연결되는 표시 장치.

청구항 17

제5 항에 있어서,

상기 각 서브 화소의 상기 제1 영역에는 차단층이 제공되며,

상기 차단층은 상기 기관과 상기 트랜지스터 사이에 배치되는 표시 장치.

청구항 18

제17 항에 있어서,

상기 차단층은 상기 기관의 배면으로부터 유입되는 광을 차단하는 표시 장치.

청구항 19

제1 항에 있어서,

상기 발광 소자는 마이크로 스케일 혹은 나노 스케일을 갖는 원 기둥 형상 혹은 다각 기둥 형상의 초소형의 발광 다이오드를 포함하는 표시 장치.

청구항 20

표시 영역 및 비표시 영역을 포함한 기관; 및

상기 표시 영역에 제공되며, 서로 인접한 제1 및 제2 영역을 포함한 복수의 서브 화소들을 각각 구비한 복수의 화소들을 포함하고,

각 서브 화소는, 상기 제1 영역에 제공된 화소 회로부 및 광을 방출하는 적어도 하나의 발광 소자를 구비한 표시 소자층을 포함하고,

상기 표시 소자층은,

상기 제1 및 제2 영역 각각에 제공되며, 해당 영역에서 서로 이격된 제1 및 제2 전극;

상기 제1 및 제2 영역 각각에서, 상기 제1 및 제2 전극 사이에 제공되며 상기 광을 방출하는 상기 발광 소자;

상기 제1 및 제2 전극 상에 각각 제공되고 상기 제1 영역으로부터 상기 제2 영역까지 연장된 캡핑층;

상기 제1 및 제2 영역 각각에서, 상기 발광 소자의 양 단부 중 하나의 단부와 상기 제1 전극을 연결하는 제1 컨택 전극; 및

상기 제1 및 제2 영역 각각에서, 상기 발광 소자의 양 단부 중 나머지 단부와 상기 제2 전극을 연결하는 제2 컨택 전극을 포함하고,

상기 제2 영역은 상기 광의 투과되는 투과 영역을 포함하는 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로, 더욱 상세하게는 초소형의 발광 소자를 포함하는 표시 장치에 관한 것이다.

배경 기술

[0002] 발광 다이오드(Light Emitting Diode)는 열악한 환경 조건에서도 비교적 양호한 내구성을 나타내며, 수명 및 휘

도 측면에서도 우수한 성능을 보유한다. 최근, 이러한 발광 다이오드를 다양한 표시 장치에 적용하기 위한 연구가 활발히 진행되고 있다.

[0003] 이러한 연구의 일환으로서, 무기 결정 구조, 일 예로 질화물계 반도체를 성장시킨 구조를 이용하여 마이크로 스케일이나 나노 스케일 정도로 작은 초소형의 발광 다이오드를 제작하는 기술이 개발되고 있다.

[0004] 발광 다이오드를 조명 장치나 표시 장치 등에 적용하기 위해서는, 상기 발광 다이오드에 전원을 인가할 수 있는 전극의 연결이 필요하며, 활용 목적, 상기 전극이 차지하는 공간의 감소 또는 제조 방법과 연관되어 상기 발광 다이오드와 상기 전극의 배치 관계는 다양하게 연구되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 과제는, 광 투과율을 향상시킬 수 있는 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 표시 장치는, 표시 영역 및 비표시 영역을 포함한 기판; 및 상기 표시 영역에 제공되며, 복수의 서브 화소들을 각각 구비한 복수의 화소들을 포함할 수 있다. 여기서, 각 서브 화소는, 화소 회로부 및 광을 방출하는 적어도 하나의 발광 소자를 구비한 표시 소자층을 포함할 수 있다.

[0007] 본 발명의 일 실시예에 있어서, 상기 표시 소자층은, 동일한 면 상에 제공되며 서로 이격된 제1 및 제2 전극; 상기 제1 및 제2 전극 사이에 제공된 상기 발광 소자; 상기 발광 소자의 양 단부 중 하나의 단부와 상기 제1 전극을 연결하는 제1 콘택 전극; 및 상기 발광 소자의 양 단부 중 나머지 단부와 상기 제2 전극을 연결하는 제2 콘택 전극을 포함할 수 있다.

[0008] 본 발명의 일 실시예에 있어서, 각 서브 화소는 상기 화소 회로부가 배치되는 제1 영역 및 상기 제1 영역에 인접한 제2 영역을 포함할 수 있다. 여기서, 상기 제2 영역은 상기 광이 투과되는 투과 영역을 포함할 수 있다.

[0009] 본 발명의 일 실시예에 있어서, 상기 제2 영역의 광 투과도는 상기 제1 영역의 광 투과도보다 높을 수 있다.

[0010] 본 발명의 일 실시예에 있어서, 상기 표시 소자층은 상기 제1 영역과 상기 제2 영역 중 적어도 하나 이상의 영역에 제공될 수 있다.

[0011] 본 발명의 일 실시예에 있어서, 상기 표시 소자층은, 상기 제1 전극 상에 제공되어 상기 제1 전극과 전기적으로 연결된 제1 캡핑층; 및 상기 제2 전극 상에 제공되어 상기 제2 전극과 전기적으로 연결된 제2 캡핑층을 더 포함할 수 있다. 여기서, 상기 제1 캡핑층과 상기 제2 캡핑층은 투명한 도전성 물질로 이루어질 수 있다.

[0012] 본 발명의 일 실시예에 있어서, 상기 화소 회로부는, 상기 기판 상에 제공되며, 상기 발광 소자에 전기적으로 연결된 하나의 트랜지스터; 상기 기판 상에 제공되며, 상기 제1 영역에서 상기 제2 영역으로 연장된 구동 전압 배선; 및 상기 트랜지스터와 상기 구동 전압 배선 상에 제공된 보호층을 포함할 수 있다.

[0013] 본 발명의 일 실시예에 있어서, 상기 표시 소자층은 상기 제1 영역과 상기 제2 영역에 각각 제공될 수 있다.

[0014] 본 발명의 일 실시예에 있어서, 상기 제1 및 제2 전극은 상기 제1 영역으로부터 상기 제2 영역까지 연장될 수 있다.

[0015] 본 발명의 일 실시예에 있어서, 상기 제1 및 제2 전극은 상기 제1 영역과 상기 제2 영역에 각각 제공될 수 있다. 여기서, 상기 제1 영역에 제공된 상기 제1 전극과 상기 제2 영역에 제공된 상기 제1 전극은 서로 이격될 수 있다. 또한, 상기 제1 영역에 제공된 상기 제2 전극과 상기 제2 영역에 제공된 상기 제2 전극은 서로 이격될 수 있다.

[0016] 본 발명의 일 실시예에 있어서, 상기 각 서브 화소에서, 상기 제1 캡핑층은 상기 제1 영역으로부터 상기 제2 영역까지 연장되며, 상기 제1 영역의 상기 제1 전극과 상기 제2 영역의 상기 제1 전극을 전기적으로 연결할 수 있다. 또한, 상기 각 서브 화소에서, 상기 제2 캡핑층은 상기 제1 영역으로부터 상기 제2 영역까지 연장되며, 상기 제1 영역의 상기 제2 전극과 상기 제2 영역의 상기 제2 전극을 전기적으로 연결할 수 있다.

[0017] 본 발명의 일 실시예에 있어서, 상기 표시 소자층은 상기 제1 영역에 제공되며, 상기 화소 회로부와 중첩할 수 있다.

- [0018] 본 발명의 일 실시예에 있어서, 상기 표시 소자층은 상기 구동 전압 배선과 상기 제2 전극을 연결하는 연결 배선을 더 포함할 수 있다. 여기서, 상기 연결 배선은 상기 제2 캡핑층과 일체로 제공되거나 또는 상기 제2 전극과 일체로 제공될 수 있다.
- [0019] 본 발명의 일 실시예에 있어서, 상기 제2 영역은 상기 표시 소자층이 제공된 제2-1 영역과 상기 제2-1 영역에 인접한 제2-2 영역을 포함할 수 있다. 상기 제2-2 영역에는 상기 표시 소자층이 제공되지 않을 수 있다.
- [0020] 본 발명의 일 실시예에 있어서, 상기 제2 영역에는 상기 구동 전압 배선과 상기 제2 전극을 전기적으로 연결하는 추가 도전 패턴이 배치될 수 있다. 상기 추가 도전 패턴은 상기 구동 전압 배선과 일체로 제공되며, 상기 보호층을 관통하는 컨택 홀을 통해 상기 제2 전극에 전기적으로 연결될 수 있다.
- [0021] 본 발명의 일 실시예에 있어서, 상기 각 서브 화소의 상기 제1 영역에는 차단층이 제공될 수 있다. 또한, 상기 차단층은 상기 기관과 상기 트랜지스터 사이에 배치될 수 있다. 추가적으로, 상기 차단층은 상기 기관의 배면으로 유입되는 광을 차단할 수 있다.
- [0022] 본 발명의 일 실시예에 있어서, 상기 발광 소자는 마이크로 스케일 혹은 나노 스케일을 갖는 원 기둥 형상 혹은 다각 기둥 형상의 초소형의 발광 다이오드를 포함할 수 있다.
- [0023] 본 발명의 다른 실시예에 따른 표시 장치는, 표시 영역 및 비표시 영역을 포함한 기관; 및 상기 표시 영역에 제공되며, 서로 인접한 제1 및 제2 영역을 포함한 복수의 서브 화소들을 각각 구비한 복수의 화소들을 포함할 수 있다. 여기서, 각 서브 화소는 상기 제1 영역에 제공된 화소 회로부 및 광을 방출하는 적어도 하나의 발광 소자를 구비한 표시 소자층을 포함할 수 있다.
- [0024] 본 발명의 다른 실시예에 있어서, 상기 표시 소자층은, 상기 제1 및 제2 영역 각각에 제공되며, 해당 영역에서 서로 이격된 제1 및 제2 전극; 상기 제1 및 제2 영역 각각에서, 상기 제1 및 제2 전극 사이에 제공되며 상기 광을 방출하는 상기 발광 소자; 상기 제1 및 제2 전극 상에 각각 제공되고 상기 제1 영역으로부터 상기 제2 영역까지 연장된 캡핑층; 상기 제1 및 제2 영역 각각에서, 상기 발광 소자의 양 단부 중 하나의 단부와 상기 제1 전극을 연결하는 제1 컨택 전극; 및 상기 제1 및 제2 영역 각각에서, 상기 발광 소자의 양 단부 중 나머지 단부와 상기 제2 전극을 연결하는 제2 컨택 전극을 포함할 수 있다. 여기서, 상기 제2 영역은 상기 광이 투과되는 투과 영역을 포함할 수 있다.

발명의 효과

- [0025] 본 발명의 일 실시예에 따르면, 광 투과율을 향상시킬 수 있는 표시 장치가 제공될 수 있다.
- [0026] 본 발명의 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0027] 도 1a는 본 발명의 일 실시예에 따른 발광 소자를 개략적으로 도시한 사시도이다.
- 도 1b는 도 1a의 발광 소자의 단면도이다.
- 도 1c는 도 1a의 발광 소자의 변형된 실시예를 개략적으로 도시한 사시도이다.
- 도 1d는 도 1c의 발광 소자의 단면도이다.
- 도 2는 본 발명의 일 실시예에 따른 표시 장치를 도시한 것으로, 특히, 도 1a에 도시된 발광 소자를 발광원으로 사용한 표시 장치의 개략적인 평면도이다.
- 도 3a 내지 도 3c는 도 2의 표시 장치의 단위 발광 영역을 다양한 실시예에 따라 나타낸 회로도들이다.
- 도 4는 도 2에 도시된 화소들 중 하나의 화소에 포함된 제1 내지 제3 서브 화소를 개략적으로 도시한 평면도이다.
- 도 5는 도 4의 I ~ I'선에 따른 단면도이다.
- 도 6은 도 5에 도시된 격벽을 다른 형태에 따라 구현한 것으로, 도 4의 I ~ I'선에 대응되는 단면도이다.
- 도 7은 본 발명의 일 실시예에 따른 표시 장치를 나타낸 것으로, 도 4의 I ~ I'선에 대응되는 단면도이다.

도 8은 본 발명의 일 실시예에 따른 표시 장치의 하나의 화소를 개략적으로 도시한 평면도이다.

도 9는 도 8의 II ~ II'선에 따른 단면도이다.

도 10은 본 발명의 일 실시예에 따른 표시 장치의 하나의 화소를 개략적으로 도시한 평면도이다.

도 11은 도 10의 III ~ III'선에 따른 단면도이다.

도 12는 본 발명의 일 실시예에 따른 표시 장치의 하나의 화소를 개략적으로 도시한 평면도이다.

도 13은 도 12의 IV ~ IV'선에 따른 단면도이다.

도 14 및 도 15는 도 4의 제1 서브 화소를 다른 실시예에 따라 나타낸 것으로, 표시 소자층의 일부 구성만을 포함한 제1 서브 화소의 개략적인 평면도들이다.

도 16은 도 14의 제1 서브 화소를 다른 실시예에 따라 나타낸 것으로, 표시 소자층의 일부 구성만을 포함한 제1 서브 화소의 개략적인 평면도이다.

도 17은 도 8의 제1 서브 화소를 다른 실시예에 따라 나타낸 것으로, 표시 소자층의 일부 구성만을 포함한 제1 서브 화소의 개략적인 평면도이다.

도 18은 도 4의 제1 서브 화소를 다른 실시예에 따라 나타낸 것으로, 표시 소자층의 일부 구성만을 포함한 제1 서브 화소의 개략적인 평면도이다.

도 19는 도 18의 제1 서브 화소를 다른 실시예에 따라 나타낸 것으로, 표시 소자층의 일부 구성만을 포함한 제1 서브 화소의 개략적인 평면도이다.

도 20은 도 10의 제1 서브 화소를 다른 실시예에 따라 나타낸 것으로, 표시 소자층의 일부 구성만을 포함한 제1 서브 화소의 개략적인 평면도이다.

발명을 실시하기 위한 구체적인 내용

[0028] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0029] 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0030] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 또한, 본 명세서에 있어서, 어느 층, 막, 영역, 판 등의 부분이 다른 부분 상(on)에 형성되었다고 할 경우, 상기 형성된 방향은 상부 방향만 한정되지 않으며 측면이나 하부 방향으로 형성된 것을 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0031] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예 및 그 밖에 당업자가 본 발명의 내용을 쉽게 이해하기 위하여 필요한 사항에 대하여 상세히 설명하기로 한다. 아래의 설명에서, 단수의 표현은 문맥상 명백하게 단수만을 포함하지 않는 한, 복수의 표현도 포함한다.

[0032] 도 1a는 본 발명의 일 실시예에 따른 발광 소자를 개략적으로 도시한 사시도이고, 도 1b는 도 1a의 발광 소자의 단면도이고, 도 1c는 도 1a의 발광 소자의 변형된 실시예를 개략적으로 도시한 사시도이며, 도 1d는 도 1c의 발광 소자의 단면도이다.

- [0033] 도 1a 내지 도 1d에 있어서, 원 기둥 형상의 발광 소자를 도시하였으나, 본 발명이 이에 한정되지는 않는다.
- [0034] 도 1a 내지 도 1d를 참조하면, 본 발명의 일 실시예에 따른 발광 소자(LD)는, 제1 도전성 반도체층(11), 제2 도전성 반도체층(13), 상기 제1 및 제2 도전성 반도체층(11, 13) 사이에 개재된 활성층(12)을 포함할 수 있다. 일 예로, 발광 소자(LD)는 제1 도전성 반도체층(11), 활성층(12), 및 제2 도전성 반도체층(13)이 순차적으로 적층된 적층체로 구현될 수 있다.
- [0035] 본 발명의 일 실시예에 따르면, 발광 소자(LD)는 일 방향으로 연장된 막대 형상으로 제공될 수 있다. 발광 소자(LD)의 연장 방향을 길이 방향이라고 하면, 상기 발광 소자(LD)는 상기 연장 방향을 따라 일측 단부와 타측 단부를 가질 수 있다. 일측 단부에는 제1 및 제2 도전성 반도체층(11, 13) 중 어느 하나, 타측 단부에는 상기 제1 및 제2 도전성 반도체층(11, 13) 중 나머지 하나가 배치될 수 있다.
- [0036] 발광 소자(LD)는 원 기둥 형상으로 제공될 수 있으나, 이에 한정되는 것은 아니다. 발광 소자(LD)는 길이 방향으로 긴(즉, 종횡비가 1보다 큰) 로드 형상(rod-like shape), 혹은 바 형상(bar-like shape)을 포함할 수 있다. 예컨대, 길이 방향으로의 발광 소자(LD)의 길이(L)는 그 직경(D, 또는 횡단면의 폭)보다 클 수 있다. 이러한 발광 소자(LD)는 일 예로 마이크로 스케일 혹은 나노 스케일 정도의 직경(D) 및/또는 길이(L)를 가질 정도로 초소형으로 제작된 발광 다이오드를 포함할 수 있다.
- [0037] 다만, 발광 소자(LD)의 크기가 이에 한정되는 것은 아니며, 발광 소자(LD)가 적용되는 조명 장치 또는 자발광 표시 장치의 요구 조건에 부합되도록 상기 발광 소자(LD)의 크기가 변경될 수도 있다.
- [0038] 제1 도전성 반도체층(11)은 일 예로 적어도 하나의 n형 반도체층을 포함할 수 있다. 예컨대, 제1 도전성 반도체층(11)은 InAlGa_N, Ga_N, AlGa_N, InGa_N, AlN, InN 중 어느 하나의 반도체 재료를 포함하며, Si, Ge, Sn 등과 같은 제1 도전성 도펀트가 도핑된 반도체층을 포함할 수 있다. 제1 도전성 반도체층(11)을 구성하는 물질이 이에 한정되는 것은 아니며, 이 외에도 다양한 물질로 제1 도전성 반도체층(11)을 구성할 수 있다.
- [0039] 활성층(12)은 제1 도전성 반도체층(11) 상에 형성되며, 단일 또는 다중 양자 우물 구조로 형성될 수 있다. 본 발명의 일 실시예에 따르면, 활성층(12)의 상부 및/또는 하부에는 도전성 도펀트가 도핑된 클래드층(미도시)이 형성될 수도 있다. 일 예로, 클래드층은 AlGa_N층 또는 InAlGa_N층으로 구현될 수 있다. 그 외에 AlGa_N, AlInGa_N 등의 물질도 활성층(12)으로 이용될 수 있음을 물론이다.
- [0040] 발광 소자(LD)의 양 단부에 소정 전압 이상의 전계를 인가하게 되면, 활성층(12)에서 전자-정공 쌍이 결합하면서 발광 소자(LD)가 발광하게 된다.
- [0041] 제2 도전성 반도체층(13)은 활성층(12) 상에 제공되며, 제1 도전성 반도체층(11)과 상이한 타입의 반도체층을 포함할 수 있다. 일 예로, 제2 도전성 반도체층(13)은 적어도 하나의 p형 반도체층을 포함할 수 있다. 예컨대, 제2 도전성 반도체층(13)은 InAlGa_N, Ga_N, AlGa_N, InGa_N, AlN, InN 중 적어도 하나의 반도체 재료를 포함하며, Mg 등과 같은 제2 도전성 도펀트가 도핑된 반도체층을 포함할 수 있다. 제2 도전성 반도체층(13)을 구성하는 물질이 이에 한정되는 것은 아니며, 이 외에도 다양한 물질이 제2 도전성 반도체층(13)을 구성할 수 있다.
- [0042] 본 발명의 일 실시예에 따르면, 발광 소자(LD)는 상술한 제1 도전성 반도체층(11), 활성층(12), 및 제2 도전성 반도체층(13) 외에도 도 1a 및 도 1b에 도시된 바와 같이 제2 도전성 반도체층(13) 상부에 배치되는 하나의 전극층(15)을 더 포함할 수 있다. 또한, 실시예에 따라 발광 소자(LD)는 전극층(15) 외에도 도 1c 및 도 1d에 도시된 바와 같이 제1 도전성 반도체층(11)의 일단에 배치되는 하나의 다른 전극층(16)을 더 포함할 수 있다.
- [0043] 전극층들(15, 16)은 옴릭(Ohmic) 콘택 전극일 수 있으나, 이에 한정되는 것은 아니다. 전극층들(15, 16)은 금속 또는 금속 산화물을 포함할 수 있으며, 예를 들어, 크롬(Cr), 티타늄(Ti), 알루미늄(Al), 금(Au), 니켈(Ni), ITO 및 이들의 산화물 또는 합금 등을 단독 또는 혼합하여 사용할 수 있으나, 이에 한정되지 않는다.
- [0044] 전극층들(15, 16) 각각에 포함된 물질은 서로 동일하거나 상이할 수 있다. 전극층들(15, 16)은 실질적으로 투명 또는 반투명할 수 있다. 이에 따라, 발광 소자(LD)에서 생성된 광은 전극층들(15, 16)을 투과하여 발광 소자(LD)의 외부로 방출될 수 있다.
- [0045] 본 발명의 일 실시예에 있어서, 발광 소자(LD)는 절연성 피막(14)을 더 포함할 수 있다. 다만, 실시예에 따라, 절연성 피막(14)은 생략될 수도 있으며, 제1 도전성 반도체층(11), 활성층(12), 및 제2 도전성 반도체층(13) 중 일부만을 덮도록 제공될 수도 있다.
- [0046] 절연성 피막(14)은 도 1a 및 도 1b에 도시된 바와 같이 발광 소자(LD)의 양 단부 중 하나의 단부를 제외한 부분

에 제공될 수 있다. 이러한 경우, 절연성 피막(14)은 발광 소자(LD)의 제2 도전성 반도체층(13)의 일단 측에 배치된 하나의 전극층(15)만을 노출하고, 상기 하나의 전극층(15)을 제외한 나머지 구성들의 측면을 전체적으로 둘러쌀 수 있다. 다만, 절연성 피막(14)은 적어도 발광 소자(LD)의 양 단부를 노출하며, 일 예로 제2 도전성 반도체층(13)의 일단 측에 배치된 하나의 전극층(15)과 더불어, 제1 도전성 반도체층(11)의 일 단부를 노출할 수 있다.

[0047] 또한, 실시예에 따라, 도 1c 및 도 1d에 도시된 바와 같이 발광 소자(LD)의 양 단부에 전극층들(15, 16)이 배치될 경우, 절연성 피막(14)은 전극층들(15, 16) 각각의 적어도 일 영역을 노출할 수 있다. 또는, 또 다른 실시예에서는, 절연성 피막(14)이 제공되지 않을 수도 있다.

[0048] 본 발명의 일 실시예에 따르면, 절연성 피막(14)은 투명한 절연 물질을 포함할 수 있다. 예를 들어, 절연성 피막(14)은 SiO_2 , Si_3N_4 , Al_2O_3 및 TiO_2 로 이루어지는 군으로부터 선택된 하나 이상의 절연물질을 포함할 수 있으나, 이에 한정되지는 않으며, 절연성을 갖는 다양한 재료가 사용될 수 있다.

[0049] 절연성 피막(14)이 발광 소자(LD)에 제공되면, 활성층(12)이 도시되지 않은 제1 전극 및/또는 제2 전극과 단락되는 것을 방지할 수 있다. 또한, 절연성 피막(14)을 형성함에 의해 발광 소자(LD)의 표면 결함을 최소화하여 수명과 효율을 향상시킬 수 있다. 또한, 복수의 발광 소자들(LD)이 밀접하게 배치되는 경우, 절연성 피막(14)은 발광 소자들(LD)의 사이에서 발생할 수 있는 원치 않는 단락을 방지할 수 있다.

[0050] 상술한 발광 소자(LD)는, 다양한 표시 장치의 발광원으로 이용될 수 있다. 발광 소자(LD)는 표면 처리 과정을 거쳐 제조될 수 있다.

[0051] 도 2는 본 발명의 일 실시예에 따른 표시 장치를 도시한 것으로, 특히, 도 1a에 도시된 발광 소자를 발광원으로 사용한 표시 장치의 개략적인 평면도이다.

[0052] 도 2에 있어서, 편의를 위하여 영상이 표시되는 표시 영역을 중심으로 표시 장치의 구조를 간략하게 도시하였다. 다만, 실시예에 따라서 도시되지 않은 적어도 하나의 구동 회로부(일 예로, 주사 구동부 및 데이터 구동부) 및/또는 복수의 신호 배선들이 상기 표시 장치에 더 배치될 수도 있다.

[0053] 도 1a 및 도 2를 참조하면, 본 발명의 일 실시예에 따른 표시 장치는 기관(SUB), 상기 기관(SUB) 상에 제공되며 적어도 하나의 발광 소자(LD)를 포함하는 복수의 화소들(PXL), 상기 기관(SUB) 상에 제공되며 화소들(PXL)을 구동하는 구동부(미도시), 및 화소들(PXL)과 구동부를 연결하는 배선부(미도시)를 포함할 수 있다.

[0054] 표시 장치는 발광 소자(LD)를 구동하는 방식에 따라 패시브 매트릭스형 표시 장치와 액티브 매트릭스형 표시 장치로 분류될 수 있다. 일 예로, 표시 장치가 액티브 매트릭스형으로 구현되는 경우, 화소들(PXL) 각각은 발광 소자(LD)에 공급되는 전류량을 제어하는 구동 트랜지스터와 상기 구동 트랜지스터로 데이터 신호를 전달하는 스위칭 트랜지스터 등을 포함할 수 있다.

[0055] 최근 해상도, 콘트라스트, 동작 속도의 관점에서 각 화소(PXL)마다 선택하여 점등하는 액티브 매트릭스형 표시 장치가 주류가 되고 있으나 본 발명이 이에 한정되는 것은 아니며 화소(PXL) 그룹별로 점등이 수행되는 패시브 매트릭스형 표시 장치 또한 발광 소자(LD)를 구동하기 위한 구성 요소들(일 예로, 제1 및 제2 전극 등)을 사용할 수 있다.

[0056] 기관(SUB)은 표시 영역(DA) 및 비표시 영역(NDA)을 포함할 수 있다.

[0057] 실시예에 따라, 표시 영역(DA)은 표시 장치의 중앙 영역에 배치되고, 비표시 영역(NDA)은 표시 영역(DA)을 둘러싸도록 표시 장치의 가장자리 영역에 배치될 수 있다. 다만, 표시 영역(DA) 및 비표시 영역(NDA)의 위치가 이에 한정되지는 않으며, 이들의 위치는 변경될 수 있다.

[0058] 표시 영역(DA)은 영상을 표시하는 화소들(PXL)이 제공되는 영역일 수 있다. 비표시 영역(NDA)은 화소들(PXL)을 구동하기 위한 구동부, 및 화소들(PXL)과 구동부를 연결하는 배선부의 일부가 제공되는 영역일 수 있다.

[0059] 표시 영역(DA)은 다양한 형상을 가질 수 있다. 예를 들어, 표시 영역(DA)은 직선으로 이루어진 변을 포함하는 닫힌 형태의 다각형, 곡선으로 이루어진 변을 포함하는 원, 타원 등, 직선과 곡선으로 이루어진 변을 포함하는 반원, 반타원 등 다양한 형상으로 제공될 수 있다.

[0060] 비표시 영역(NDA)은 표시 영역(DA)의 적어도 일측에 제공될 수 있다. 본 발명의 일 실시예에 있어서, 비표시 영역(NDA)은 표시 영역(DA)의 둘레를 둘러쌀 수 있다.

- [0061] 기관(SUB)은 투명 절연 물질을 포함하여 광의 투과가 가능할 수 있다. 기관(SUB)은 경성(rigid) 기관일 수 있다. 예를 들면, 기관(SUB)은 유리 기관, 석영 기관, 유리 세라믹 기관, 및 결정질 유리 기관 중 하나일 수 있다.
- [0062] 또한, 기관(SUB)은 가요성(flexible) 기관일 수도 있다. 여기서, 기관(SUB)은 고분자 유기물을 포함하는 필름 기관 및 플라스틱 기관 중 하나일 수 있다. 예를 들면, 기관(SUB)은 폴리스티렌(polystyrene), 폴리비닐알코올(polyvinyl alcohol), 폴리메틸메타크릴레이트(Polymethyl methacrylate), 폴리에테르술폰(polyethersulfone), 폴리아크릴레이트(polyacrylate), 폴리에테르이미드(polyetherimide), 폴리에틸렌 나프탈레이트(polyethylene naphthalate), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate), 폴리페닐렌 설파이드(polyphenylene sulfide), 폴리아릴레이트(polyarylate), 폴리이미드(polyimide), 폴리카보네이트(polycarbonate), 트리아세테이트 셀룰로오스(triacetate cellulose), 셀룰로오스아세테이트 프로피오네이트(cellulose acetate propionate) 중 적어도 어느 하나를 포함할 수 있다. 다만, 기관(SUB)을 구성하는 재료는 다양하게 변화될 수 있으며, 섬유 강화플라스틱(FRP, Fiber reinforced plastic) 등을 포함할 수도 있다.
- [0063] 화소들(PXL) 각각은 기관(SUB) 상의 표시 영역(DA) 내에 제공될 수 있다. 화소들(PXL) 각각은 영상을 표시하며 복수 개로 제공될 수 있다.
- [0064] 각 화소(PXL)는 대응되는 스캔 신호 및 데이터 신호에 의해 구동되는 발광 소자(LD)를 포함할 수 있다. 발광 소자(LD)는 마이크로 스케일 혹은 나노 스케일 정도로 작은 크기를 가지며 인접하게 배치된 발광 소자들과 서로 병렬로 연결될 수 있다. 발광 소자(LD)는 각 화소(PXL)의 광원을 구성할 수 있다.
- [0065] 또한, 화소들(PXL) 각각은 복수의 서브 화소들을 포함할 수 있다. 일 예로, 각 화소(PXL)는 제1 서브 화소(SP1), 제2 서브 화소(SP2) 및 제3 서브 화소(SP3)를 포함할 수 있다. 실시예에 따라, 제1 서브 화소(SP1), 제2 서브 화소(SP2), 및 제3 서브 화소(SP3) 각각은 서로 다른 색상의 광을 방출할 수 있다. 일 예로, 제1 서브 화소(SP1)는 적색의 광을 방출하는 적색 서브 화소일 수 있고, 제2 서브 화소(SP2)는 녹색의 광을 방출하는 녹색 서브 화소일 수 있으며, 제3 서브 화소(SP3)는 청색의 광을 방출하는 청색 서브 화소일 수 있다. 다만, 각 화소(PXL)를 구성하는 서브 화소들의 색상, 종류 및/또는 개수 등이 특별히 한정되지는 않으며, 일 예로 각 서브 화소가 방출하는 광의 색상은 다양하게 변경될 수 있다. 또한, 도 2에서는 표시 영역(DA)에서 화소들(PXL)이 스트라이프 형태로 배열되는 실시예를 도시하였으나, 본 발명이 이에 한정되지는 않는다. 예를 들어, 표시 영역(DA)은 현재 공지된 다양한 화소 배열 형태를 가질 수 있다.
- [0066] 구동부는 배선부를 통해 각 화소(PXL)에 신호를 제공하며, 이에 따라 각 화소(PXL)의 구동을 제어할 수 있다. 도 2에서는 설명의 편의를 위해 배선부가 생략되었다.
- [0067] 구동부는 스캔 라인을 통해 화소들(PXL)에 스캔 신호를 제공하는 스캔 구동부, 발광 제어 라인을 통해 화소들(PXL)에 발광 제어 신호를 제공하는 발광 구동부, 및 데이터 라인을 통해 화소들(PXL)에 데이터 신호를 제공하는 데이터 구동부, 및 타이밍 제어부를 포함할 수 있다. 타이밍 제어부는 스캔 구동부, 발광 구동부, 및 데이터 구동부를 제어할 수 있다.
- [0068] 도 3a 내지 도 3c는 도 2의 표시 장치의 단위 발광 영역을 다양한 실시예에 따라 나타낸 회로도들이다.
- [0069] 도 3a 내지 도 3c에 있어서, 제1 내지 제3 서브 화소 각각은 능동형 화소로 구성될 수 있다. 다만, 제1 내지 제3 서브 화소 각각의 종류, 구조 및/또는 구동 방식이 특별히 한정되지는 않는다. 예를 들어, 제1 내지 제3 서브 화소 각각은 현재 공지된 다양한 구조의 수동형 또는 능동형 표시 장치의 화소로 구성될 수도 있다.
- [0070] 또한, 도 3a 내지 도 3c에 있어서, 제1 내지 제3 서브 화소는 실질적으로 동일 또는 유사한 구조를 가질 수 있다. 이하에서는, 편의를 위하여 제1 내지 제3 서브 화소 중 제1 서브 화소를 대표하여 설명하기로 한다.
- [0071] 우선, 도 1a, 도 2, 및 도 3a를 참조하면, 제1 서브 화소(SP1)는 데이터 신호에 대응하는 휘도의 광을 생성하는 발광부(EMA)와 상기 발광부(EMA)를 구동하기 위한 화소 구동 회로(144)를 포함할 수 있다.
- [0072] 실시예에 따라, 발광부(EAM)는 제1 구동 전원(VDD)과 제2 구동 전원(VSS) 사이에 병렬로 연결된 복수의 발광 소자들(LD)을 포함할 수 있다. 여기서, 제1 구동 전원(VDD)과 제2 구동 전원(VSS)은 서로 다른 전위를 가질 수 있다. 일 예로, 제1 구동 전원(VDD)은 고전위 전원으로 설정되고, 제2 구동 전원(VSS)은 저전위 전원으로 설정될 수 있다. 이때, 제1 및 제2 구동 전원들(VDD, VSS)의 전위 차는 제1 서브 화소(SP1)의 발광 기간 동안 발광 소자들(LD)의 문턱 전압 이상으로 설정될 수 있다. 발광 소자들(LD) 각각의 제1 전극(예컨대, 애노드 전극)은 화소 구동 회로(144)를 경유하여 제1 구동 전원(VDD)에 접속되고, 발광 소자들(LD) 각각의 제2 전극(예컨대, 캐소

드 전극)은 제2 구동 전원(VSS)에 접속된다.

- [0073] 발광 소자들(LD) 각각은 화소 구동 회로(144)에 의해 제어되는 구동 전류에 상응하는 휘도로 발광할 수 있다.
- [0074] 한편, 도 3a 내지 도 3c에 있어서, 발광 소자들(LD)이 제1 및 제2 구동 전원(VDD, VSS)의 사이에 서로 동일한 방향(일 예로, 순방향)으로 병렬 연결된 실시예를 도시하였으나, 본 발명이 이에 한정되지는 않는다. 예컨대, 다른 실시예에서는 발광 소자들(LD) 중 일부는 제1 및 제2 구동 전원(VDD, VSS)의 사이에 순방향으로 연결되고, 다른 일부는 역방향으로 연결될 수 있다. 제1 및 제2 구동 전원(VDD, VSS) 중 하나는 교류 전압의 형태로 공급될 수 있다. 이 경우, 발광 소자들(LD)은 연결 방향이 동일한 그룹 별로 교번적으로 발광할 수 있다. 혹은, 또 다른 실시예에서는, 제1 서브 화소(SP1)가 단일의 발광 소자(LD)만을 포함할 수도 있다.
- [0075] 본 발명의 일 실시예에 따르면, 화소 구동 회로(144)는 제1 및 제2 트랜지스터(T1, T2)와 스토리지 커패시터(Cst)를 포함할 수 있다. 다만, 화소 구동 회로(144)의 구조가 도 3a에 도시된 실시예에 한정되지는 않는다.
- [0076] 제1 트랜지스터(T1; 스위칭 트랜지스터)의 제1 전극은 데이터 라인(Dj)에 접속되고, 제2 전극은 제1 노드(N1)에 접속된다. 여기서, 제1 트랜지스터(T1)의 제1 전극과 제2 전극은 서로 다른 전극으로, 예컨대 제1 전극이 소스 전극이면 제2 전극은 드레인 전극일 수 있다. 그리고, 제1 트랜지스터(T1)의 게이트 전극은 스캔 라인(Si)에 접속된다.
- [0077] 이와 같은 제1 트랜지스터(T1)는, 스캔 라인(Si)으로부터 제1 트랜지스터(T1)가 턴-온될 수 있는 전압(예컨대, 로우 전압)의 스캔신호가 공급될 때 턴-온되어, 데이터 라인(Dj)과 제1 노드(N1)를 전기적으로 연결한다. 이때, 데이터 라인(Dj)으로는 해당 프레임의 데이터 신호가 공급되고, 이에 따라 제1 노드(N1)로 데이터 신호가 전달된다. 제1 노드(N1)로 전달된 데이터 신호는 스토리지 커패시터(Cst)에 충전된다.
- [0078] 제2 트랜지스터(T2; 구동 트랜지스터)의 제1 전극은 제1 구동 전원(VDD)에 접속되고, 제2 전극은 발광 소자(LD)들 각각의 제1 전극에 전기적으로 연결된다. 제2 트랜지스터(T2)의 게이트 전극은 제1 노드(N1)에 접속된다. 이와 같은 제2 트랜지스터(T2)는 제1 노드(N1)의 전압에 대응하여 발광 소자(LD)들로 공급되는 구동 전류의 양을 제어한다.
- [0079] 스토리지 커패시터(Cst)의 일 전극은 제1 구동 전원(VDD)에 접속되고, 다른 전극은 제1 노드(N1)에 접속된다. 이와 같은 스토리지 커패시터(Cst)는 제1 노드(N1)로 공급되는 데이터 신호에 대응하는 전압을 충전하고, 다음 프레임의 데이터 신호가 공급될 때까지 충전된 전압을 유지한다.
- [0080] 편의상, 도 3a에서는 데이터 신호를 제1 서브 화소(SP1) 내부로 전달하기 위한 제1 트랜지스터(T1)와, 데이터 신호의 저장을 위한 스토리지 커패시터(Cst)와, 상기 데이터 신호에 대응하는 구동 전류를 발광 소자(LD)들로 공급하기 위한 제2 트랜지스터(T2)를 포함한 비교적 단순한 구조의 화소 구동 회로(144)를 도시하였다.
- [0081] 하지만, 본 발명이 이에 한정되는 것은 아니며 화소 구동 회로(144)의 구조는 다양하게 변경 실시될 수 있다. 일 예로, 화소 구동 회로(144)는 제2 트랜지스터(T2)의 문턱전압을 보상하기 위한 트랜지스터 소자, 제1 노드(N1)를 초기화하기 위한 트랜지스터 소자, 및/또는 발광 소자(LD)들의 발광 시간을 제어하기 위한 트랜지스터 소자 등과 같은 적어도 하나의 트랜지스터 소자나, 제1 노드(N1)의 전압을 부스팅하기 위한 부스팅 커패시터 등과 같은 다른 회로소자들을 추가적으로 더 포함할 수 있음을 물론이다.
- [0082] 또한, 도 3a에서는 화소 구동 회로(144)에 포함되는 트랜지스터들, 예컨대 제1 및 제2 트랜지스터들(T1, T2)을 모두 P타입의 트랜지스터들로 도시하였으나, 본 발명이 이에 한정되지는 않는다. 즉, 화소 구동 회로(144)에 포함되는 제1 및 제2 트랜지스터들(T1, T2) 중 적어도 하나는 N타입의 트랜지스터로 변경될 수도 있다.
- [0083] 다음으로, 도 1a, 도 2, 및 도 3b를 참조하면, 본 발명의 일 실시예에 따르면 제1 및 제2 트랜지스터들(T1, T2)은 N타입의 트랜지스터로 구현될 수 있다. 도 3b에 도시된 화소 구동 회로(144)는 트랜지스터 타입 변경으로 인한 일부 구성요소들의 접속 위치 변경을 제외하고는 그 구성이나 동작이 도 3a의 화소 구동 회로(144)와 유사하다. 따라서, 이에 대한 상세한 설명은 생략하기로 한다.
- [0084] 본 발명의 일 실시예에 있어서, 화소 구동 회로(144)의 구성은 도 3a 및 도 3b에 도시된 실시예에 한정되지 않는다. 일 예로, 화소 구동 회로(144)는 도 3c에 도시된 실시예와 같이 구성될 수 있다.
- [0085] 도 1a, 도 2, 및 도 3c를 참조하면, 화소 구동 회로(144)는 제1 서브 화소(SP1)의 스캔 라인(Si) 및 데이터 라인(Dj)에 연결될 수 있다. 일 예로, 제1 서브 화소(SP1)가 표시 영역(DA)의 i번째 행 및 j번째 열에 배치된 경우, 제1 서브 화소(SP1)의 화소 구동 회로(144)는 표시 영역(DA)의 i번째 스캔 라인(Si) 및 j번째 데이터 라인

(Dj)에 연결될 수 있다.

- [0086] 또한, 실시예에 따라, 화소 구동 회로(144)는 적어도 하나의 다른 스캔 라인에 더 연결될 수도 있다. 예를 들어, 표시 영역(DA)의 i번째 행에 배치된 제1 서브 화소(SP1)는 i-1번째 스캔 라인(Si-1) 및/또는 i+1번째 스캔 라인(Si+1)에 더 연결될 수 있다.
- [0087] 또한, 실시예에 따라, 화소 구동 회로(144)는 제1 및 제2 구동 전원(VDD, VSS) 외에도 제3의 전원에 더 연결될 수 있다. 예를 들어, 화소 구동 회로(144)는 초기화 전원(Vint)에도 연결될 수 있다.
- [0088] 화소 구동 회로(144)는 제1 내지 제7 트랜지스터(T1 ~ T7)와 스토리지 커패시터(Cst)를 포함할 수 있다.
- [0089] 제1 트랜지스터(T1; 구동 트랜지스터)의 일 전극, 일 예로, 소스 전극은 제5 트랜지스터(T5)를 경유하여 제1 구동 전원(VDD)에 접속되고, 다른 일 전극, 일 예로, 드레인 전극은 제6 트랜지스터(T6)를 경유하여 발광 소자(LD)들의 일측 단부에 접속될 수 있다. 그리고, 제1 트랜지스터(T1)의 게이트 전극은 제1 노드(N1)에 접속될 수 있다. 이러한 제1 트랜지스터(T1)는, 제1 노드(N1)의 전압에 대응하여, 발광 소자(LD)들을 경유하여 제1 구동 전원(VDD)과 제2 구동 전원(VSS)의 사이에 흐르는 구동 전류를 제어한다.
- [0090] 제2 트랜지스터(T2; 스위칭 트랜지스터)는 제1 서브 화소(SP1)에 연결된 j번째 데이터 라인(Dj)과 제1 트랜지스터(T1)의 소스 전극 사이에 접속된다. 그리고, 제2 트랜지스터(T2)의 게이트 전극은 제1 서브 화소(SP1)에 연결된 i번째 스캔 라인(Si)에 접속된다. 이와 같은 제2 트랜지스터(T2)는 i번째 스캔 라인(Si)으로부터 게이트-온 전압(일 예로, 로우 전압)의 주사 신호가 공급될 때 턴-온되어 j번째 데이터 라인(Dj)을 제1 트랜지스터(T1)의 소스 전극에 전기적으로 연결한다. 따라서, 제2 트랜지스터(T2)가 턴-온되면, j번째 데이터 라인(Dj)으로부터 공급되는 데이터 신호가 제1 트랜지스터(T1)로 전달된다.
- [0091] 제3 트랜지스터(T3)는 제1 트랜지스터(T1)의 드레인 전극과 제1 노드(N1) 사이에 접속된다. 그리고, 제3 트랜지스터(T3)의 게이트 전극은 i번째 스캔 라인(Si)에 접속된다. 이와 같은 제3 트랜지스터(T3)는 i번째 스캔 라인(Si)으로부터 게이트-온 전압의 주사 신호가 공급될 때 턴-온되어 제1 트랜지스터(T1)의 드레인 전극과 제1 노드(N1)를 전기적으로 연결한다. 따라서, 제3 트랜지스터(T3)가 턴-온될 때 제1 트랜지스터(T1)는 다이오드 형태로 접속된다.
- [0092] 제4 트랜지스터(T4)는 제1 노드(N1)와 초기화 전원(Vint) 사이에 접속된다. 그리고, 제4 트랜지스터(T4)의 게이트 전극은 이전 주사선, 일 예로 i-1번째 스캔 라인(Si-1)에 접속된다. 이와 같은 제4 트랜지스터(T4)는 i-1번째 스캔 라인(Si-1)으로 게이트-온 전압의 주사 신호가 공급될 때 턴-온되어 초기화 전원(Vint)의 전압을 제1 노드(N1)로 전달한다. 여기서, 초기화 전원(Vint)은 데이터 신호의 최저 전압 이하의 전압을 가질 수 있다.
- [0093] 제5 트랜지스터(T5)는 제1 구동 전원(VDD)과 제1 트랜지스터(T1) 사이에 접속된다. 그리고, 제5 트랜지스터(T5)의 게이트 전극은 대응하는 발광 제어 라인, 일 예로 i번째 발광 제어 라인(Ei)에 접속된다. 이와 같은 제5 트랜지스터(T5)는 i번째 발광 제어 라인(Ei)으로 게이트-오프 전압의 발광 제어신호가 공급될 때 턴-오프되고, 그 외의 경우에 턴-온된다.
- [0094] 제6 트랜지스터(T6)는 제1 트랜지스터(T1)와 발광 소자(LD)들의 일 단부 사이에 접속된다. 그리고, 제6 트랜지스터(T6)의 게이트 전극은 i번째 발광 제어 라인(Ei)에 접속된다. 이와 같은 제6 트랜지스터(T6)는 i번째 발광 제어 라인(Ei)으로 게이트-오프 전압의 발광 제어신호가 공급될 때 턴-오프되고, 그 외의 경우에 턴-온된다.
- [0095] 제7 트랜지스터(T7)는 발광 소자(LD)들의 일 단부와 초기화 전원(Vint) 사이에 접속된다. 그리고, 제7 트랜지스터(T7)의 게이트 전극은 다음 단의 스캔 라인들 중 어느 하나, 일 예로 i+1번째 스캔 라인(Si+1)에 접속된다. 이와 같은 제7 트랜지스터(T7)는 i+1번째 스캔 라인(Si+1)으로 게이트-온 전압의 주사 신호가 공급될 때 턴-온되어 초기화 전원(Vint)의 전압을 발광 소자(LD)들의 일 단부로 공급한다.
- [0096] 스토리지 커패시터(Cst)는 제1 구동 전원(VDD)과 제1 노드(N1) 사이에 접속된다. 이와 같은 스토리지 커패시터(Cst)는 각 프레임 기간에 제1 노드(N1)로 공급되는 데이터 신호 및 제1 트랜지스터(T1)의 문턱전압에 대응하는 전압을 저장한다.
- [0097] 편의를 위하여, 도 3c에서는 제1 내지 제7 트랜지스터(T1 ~ T7) 모두를 P타입의 트랜지스터로 도시하였으나, 본 발명이 이에 한정되지는 않는다. 예를 들어, 화소 구동 회로(144)에 포함되는 제1 내지 제7 트랜지스터들(T1 ~ T7) 중 적어도 하나가 N타입의 트랜지스터로 변경되거나 상기 제1 내지 제7 트랜지스터(T1 ~ T7) 전부가 N타입의 트랜지스터로 변경될 수도 있다.

- [0098] 도 4는 도 2에 도시된 화소들 중 하나의 화소에 포함된 제1 내지 제3 서브 화소를 개략적으로 도시한 평면도이고, 도 5는 도 4의 I ~ I'선에 따른 단면도이며, 도 6은 도 5에 도시된 격벽을 다른 형태에 따라 구현한 것으로, 도 4의 I ~ I'선에 대응되는 단면도이다.
- [0099] 도 4에 있어서, 편의를 위하여 각각의 서브 화소 내에 제공된 복수의 발광 소자들이 수평 방향으로 정렬된 것으로 도시하였으나, 상기 발광 소자들의 배열이 이에 한정되지는 않는다. 예를 들어, 상기 발광 소자들 중 적어도 일부는 상기 수평 방향과 교차하는 방향으로 정렬될 수도 있다.
- [0100] 또한, 도 4에 있어서, 편의를 위하여 발광 소자들에 연결되는 트랜지스터 및 상기 트랜지스터에 연결된 신호 배선들의 도시를 생략하였다.
- [0101] 이에 더하여, 도 4 내지 도 6에서는 각각의 전극을 단일의 전극층으로만 도시하는 등 상기 하나의 화소의 구조를 단순화하여 도시하였으나, 본 발명이 이에 한정되는 것은 아니다.
- [0102] 도 1a, 도 2, 도 4 내지 도 6을 참조하면, 본 발명의 일 실시예에 따른 표시 장치는 복수의 화소들(PXL)이 제공된 기판(SUB)을 포함할 수 있다.
- [0103] 화소들(PXL) 각각은 기판(SUB) 상에 제공된 제1 서브 화소(SP1), 제2 서브 화소(SP2), 및 제3 서브 화소(SP3)를 포함할 수 있다. 본 발명의 일 실시예에 있어서, 제1 서브 화소(SP1)는 적색 서브 화소이고, 제2 서브 화소(SP2)는 녹색 서브 화소이며, 제3 서브 화소(SP3)는 청색 서브 화소일 수 있다. 그러나, 본 발명이 이에 한정되는 것은 아니며, 실시예에 따라 제1 서브 화소(SP1)가 녹색 서브 화소 또는 청색 서브 화소일 수 있으며, 제2 서브 화소(SP2)가 청색 서브 화소 또는 적색 서브 화소일 수 있으며, 제3 서브 화소(SP3)가 적색 서브 화소 또는 녹색 서브 화소일 수 있다.
- [0104] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각은 광을 방출하는 발광 영역(EMA)과 상기 발광 영역(EMA)의 주변에 위치하는 주변 영역(PPA)을 포함할 수 있다. 발광 영역(EMA)은 광이 방출되는 영역을 의미하고, 주변 영역(PPA)은 상기 광이 방출되지 않는 영역을 의미할 수 있다. 본 발명의 일 실시예에 있어서, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 화소 영역은 해당 서브 화소의 발광 영역(EMA)과 주변 영역(PPA)을 포함할 수 있다.
- [0105] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 화소 영역에는 기판(SUB), 화소 회로부(PCL), 및 표시 소자층(DPL)이 제공될 수 있다.
- [0106] 본 발명의 일 실시예에 있어서, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각은 제1 영역(FA)과 제2 영역(SA)을 포함할 수 있다. 제1 영역(FA)은 화소 회로부(PCL)가 배치되는 영역이고, 제2 영역(SA)은 상기 제1 영역(FA)에 인접한 영역일 수 있다. 즉, 제2 영역(SA)은 각 서브 화소에서 제1 영역(FA)을 제외한 나머지 영역으로, 화소 회로부(PCL)가 배치되지 않는 영역일 수 있다.
- [0107] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 화소 회로부(PCL)는, 해당 서브 화소의 특정 영역, 일 예로, 제1 영역(FA)에만 배치될 수 있다. 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 화소 회로부(PCL)가 해당 서브 화소의 제1 영역(FA)에만 집중적으로 배치되고, 제2 영역(SA)에는 배치되지 않을 경우, 상기 해당 서브 화소의 개구율이 향상될 수 있으며 광 투과율도 증가할 수 있다.
- [0108] 본 발명의 일 실시예에 있어서, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)은 해당 서브 화소의 화소 회로부(PCL)에 포함된 구성 요소들(일 예로, 트랜지스터 및 상기 트랜지스터에 연결된 배선 등을 포함함)의 집적도 및 인접한 구성 요소들과의 전기적 절연이 확보되는 범위 내에서 그 면적(또는 크기)이 결정될 수 있다.
- [0109] 본 발명의 일 실시예에 있어서, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)은 해당 서브 화소의 발광 영역(EAM)에 제공될 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 실시예에 따라, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)은 해당 서브 화소의 주변 영역(PPA)에 제공될 수도 있다. 이러한 경우, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)에는 해당 서브 화소의 표시 소자층(DPL)이 제공되지 않는다.
- [0110] 설명의 편의를 위해 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 화소 회로부(PCL)를 우선 설명한 후, 표시 소자층(DPL)을 설명한다.
- [0111] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 화소 회로부(PCL)는 해당 서브 화소의 제1 영역(FA)에 제공될

수 있다.

- [0112] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 화소 회로부(PCL)는 기관(SUB) 상에 배치된 버퍼층(BFL)과, 상기 버퍼층(BFL) 상에 배치된 제1 및 제2 트랜지스터(T1, T2)와, 구동 전압 배선(DVL)을 포함할 수 있다. 또한, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 화소 회로부(PCL)는 제1 및 제2 트랜지스터(T1, T2)와 구동 전압 배선(DVL) 상에 제공된 보호층(PSV)을 더 포함할 수 있다.
- [0113] 기관(SUB)은 유리, 유기 고분자, 수정 등과 같은 광이 투과될 수 있는 투명한 절연성 재료로 이루어질 수 있다. 또한, 기관(SUB)은 휘거나 접힘이 가능하도록 가요성(flexibility)을 갖는 재료로 이루어질 수 있고, 단층 구조나 다층 구조를 가질 수 있다.
- [0114] 버퍼층(BFL)은 기관(SUB) 상에 제공되며, 제1 트랜지스터(T1)와 제2 트랜지스터(T2)에 불순물이 확산되는 것을 방지할 수 있다. 버퍼층(BFL)은 기관(SUB)의 재료 및 공정 조건에 따라 생략될 수도 있다.
- [0115] 제1 트랜지스터(T1)는 대응하는 서브 화소의 표시 소자층(DPL)에 구비된 발광 소자들(LD) 중 일부에 전기적으로 연결되어 발광 소자들(LD)을 구동하는 구동 트랜지스터이고, 제2 트랜지스터(T2)는 제1 트랜지스터(T1)를 스위칭하는 스위칭 트랜지스터일 수 있다. 이러한 제1 및 제2 트랜지스터(T1, T2)는 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)에만 제공될 수 있다.
- [0116] 제1 및 제2 트랜지스터(T1, T2) 각각은 반도체층(SCL), 게이트 전극(GE), 소스 전극(SE) 및 드레인 전극(DE)을 포함할 수 있다.
- [0117] 반도체층(SCL)은 버퍼층(BFL) 상에 배치될 수 있다. 반도체층(SCL)은 소스 전극(SE)에 접촉되는 소스 영역과 드레인 전극(DE)에 접촉되는 드레인 영역을 포함할 수 있다. 소스 영역과 상기 드레인 영역 사이의 영역은 채널 영역일 수 있다.
- [0118] 반도체층(SCL)은 폴리 실리콘, 아몰퍼스 실리콘, 산화물 반도체 등으로 이루어진 반도체 패턴일 수 있다. 채널 영역은 불순물이 도핑되지 않는 반도체 패턴으로서, 진성 반도체일 수 있다. 소스 영역 및 드레인 영역은 불순물이 도핑된 반도체 패턴일 수 있다.
- [0119] 게이트 전극(GE)은 게이트 절연층(GI)을 사이에 두고 반도체층(SCL) 상에 제공될 수 있다. 게이트 전극(GE)은 금속으로 이루어질 수 있다. 게이트 전극(GE)은 니켈, 크롬, 몰리브덴, 알루미늄, 티타늄, 구리, 텅스텐, 및 이들을 포함하는 합금으로 이루어질 수 있다. 게이트 전극(GE)은 금속을 이용한 단일층 또는 다중층으로 형성될 수 있다. 예를 들어, 게이트 전극(GE)은 몰리브덴, 알루미늄, 및 몰리브덴이 순차적으로 적층된 삼중층이거나, 티타늄과 구리가 순차적으로 적층된 이중층일 수 있다. 또는, 게이트 전극(GE)은 티타늄과 구리의 합금으로 된 단일층일 수도 있다.
- [0120] 소스 전극(SE)과 드레인 전극(DE) 각각은 층간 절연층(ILD)과 게이트 절연층(GI)을 관통하는 콘택 홀을 통해 반도체층(SCL)의 소스 영역 및 드레인 영역에 접촉될 수 있다. 소스 전극(SE)과 드레인 전극(DE) 각각은 니켈, 크롬, 몰리브덴, 알루미늄, 티타늄, 구리, 텅스텐, 및 이들을 포함하는 합금으로 이루어질 수 있다. 소스 전극(SE)과 드레인 전극(DE)은 금속을 이용한 단일층 또는 다중층으로 형성될 수 있다. 예를 들어, 소스 전극(SE)과 드레인 전극(DE)은 티타늄과 구리가 순차적으로 적층된 이중층이거나, 티타늄과 구리의 합금으로 이루어진 단일층일 수 있다.
- [0121] 본 발명의 일 실시예에 있어서, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각에 제공된 화소 회로부(PCL)에 포함된 제1 및 제2 트랜지스터(T1, T2)는 LTPS 박막 트랜지스터로 구성될 수 있으나, 이에 한정되는 것은 아니며, 실시예에 따라 산화물 반도체 박막 트랜지스터로 구성될 수도 있다. 추가적으로, 본 발명의 일 실시예에 있어서, 제1 및 제2 트랜지스터(T1, T2)가 탑 게이트(top gate) 구조의 박막 트랜지스터인 경우를 예로서 설명하였으나, 이에 한정되는 것은 아니다. 실시예에 따라, 제1 및 제2 트랜지스터(T1, T2)는 바텀 게이트(bottom gate)구조의 박막 트랜지스터일 수도 있다.
- [0122] 구동 전압 배선(DVL)은 층간 절연층(ILD) 상에 제공될 수 있으나, 본 발명이 이에 한정되는 것은 아니며, 실시예에 따라 화소 회로부(PCL) 내에 포함된 절연층 중 어느 하나의 절연층 상에 제공될 수 있다. 구동 전압 배선(DVL)에는 제2 구동 전원(도 3a의 VSS 참고)이 인가될 수 있다.
- [0123] 보호층(PSV)은 제1 트랜지스터(T1)의 드레인 전극(DE)의 일부를 노출하는 제1 콘택 홀(CH1)과 구동 전압 배선(DVL)의 일부를 노출하는 제2 콘택 홀(CH2)을 포함할 수 있다. 보호층(PSV)은 무기 재료로 이루어진 무기 절연막 및/또는 유기 재료로 이루어진 유기 절연막 중 적어도 하나를 포함할 수 있다. 실시예에 따라, 보호층(PSV)

은 제1 및 제2 트랜지스터(T1, T2)를 커버하는 무기 절연막 및 상기 무기 절연막 상에 배치된 유기 절연막을 포함하는 형태로 제공될 수 있다. 여기서, 무기 절연막은 실리콘 산화물(SiO₂), 실리콘 질화물(SiN_x) 중 적어도 하나를 포함할 수 있다. 유기 절연막은 광을 투과시킬 수 있는 유기 절연 물질을 포함할 수 있다. 유기 절연막은 예를 들어, 아크릴계 수지(polyacrylates resin), 에폭시계 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides resin), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌 에테르계 수지(poly-phenylene ethers resin), 폴리페닐렌 설파이드계 수지(poly-phenylene sulfides resin), 및 벤조사이클로부텐 수지(benzocyclobutene resin) 중 적어도 하나를 포함할 수 있다.

[0124] 한편, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 화소 회로부(PCL)는 기판(SUB)과 반도체층(SCL) 사이에 제공된 차광 패턴(SDL)을 더 포함할 수 있다.

[0125] 차광 패턴(SDL)은 기판(SUB)의 배면을 통해 유입된 광이 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 화소 회로부(PCL)로 진행되는 것을 차단하는 광 차단막일 수 있다. 특히, 차광 패턴(SDL)은 기판(SUB)의 배면을 통해 유입된 광이 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 화소 회로부(PCL)에 포함된 제1 및 제2 트랜지스터(T1, T2) 각각의 반도체층(SCL)으로 진행되는 것을 차단하여 상기 제1 및 제2 트랜지스터(T1, T2) 오동작을 방지할 수 있다.

[0126] 차광 패턴(SDL)은 도전성 물질, 절연 물질 등으로 이루어질 수 있다. 일 예로, 차광 패턴(SDL)은 블랙 매트릭스를 포함할 수 있다.

[0127] 차광 패턴(SDL)은 제1 및 제2 트랜지스터(T1, T2) 각각의 반도체층(SCL)의 하부에 대응되도록 기판(SUB) 상에 제공될 수 있다. 본 발명의 일 실시예에 있어서, 차광 패턴(SDL)은 도전성 물질인 금속으로 이루어질 수 있다. 이러한 경우, 차광 패턴(SDL)은 제1 및 제2 트랜지스터(T1, T2) 각각의 일부 구성에 전기적으로 연결될 수 있으나, 반드시 이에 한정되는 것은 아니며, 실시예에 따라 전기적으로 연결되지 않을 수도 있다.

[0128] 본 발명의 일 실시예에 있어서, 차광 패턴(SDL)은 화소 회로부(PCL)에 포함된 제1 및 제2 트랜지스터(T1, T2) 각각의 반도체층(SCL)과 중첩되도록 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)의 일부에 제공될 수 있으나, 이에 한정되는 것은 아니다. 실시예에 따라, 차광 패턴(SDL)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)에 전체적으로 제공될 수도 있다.

[0129] 다음으로, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 표시 소자층(DPL)에 대해 설명한다.

[0130] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 표시 소자층(DPL)은 제1 영역(FA)과 제2 영역(SA)에 모두 제공될 수 있으나, 이에 한정되는 것은 아니다. 실시예에 따라, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 표시 소자층(DPL)은 선택적으로 제1 영역(FA)에만 제공되거나 제2 영역(SA)에만 제공될 수도 있다.

[0131] 본 발명의 일 실시예에 있어서, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 표시 소자층(DPL)은 보호층(PSV) 상에 제공된 격벽(PW)과, 제1 및 제2 전극(REL1, REL2)과, 제1 및 제2 캡핑층(CPL1, CPL2)과, 연결 배선(CNL)과, 복수의 발광 소자들(LD)과, 제1 및 제2 콘택 전극(CNE1, CNE2)을 포함할 수 있다.

[0132] 격벽(PW)은 제1 내지 제3 서브 화소(SP1, SP2, SP3) 각각의 발광 영역(EMA) 내의 보호층(PSV) 상에 제공될 수 있다. 도면에 직접적으로 도시하지 않았으나, 격벽(PW)과 동일한 물질로 구성된 댐부(또는 뱅크)는 인접한 서브 화소들 사이의 주변 영역(PPA)에 형성 및/또는 제공되어 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 발광 영역(EMA)을 정의할 수 있다.

[0133] 격벽(PW)은 보호층(PSV) 상에서 인접하게 배치된 격벽(PW)과 일정 간격 이격될 수 있다. 인접한 두 개의 격벽들(PW)은 하나의 발광 소자(LD)의 길이(L) 이상으로 보호층(PSV) 상에서 이격될 수 있다. 격벽(PW)은, 도 5에 도시된 바와 같이 보호층(PSV)의 일면으로부터 상부로 향할수록 폭이 좁아지는 반원, 반타원 등의 단면을 가지는 곡면을 포함할 수 있으나, 본 발명이 이에 한정되는 것은 아니다.

[0134] 실시예에 따라, 격벽(PW)은, 도 6에 도시된 바와 같이 보호층(PSV)의 일면으로부터 상부로 향할수록 폭이 좁아지는 사다리꼴의 단면을 가질 수도 있다. 단면 상에서 볼 때, 격벽(PW)의 형상은 상술한 실시예들에 한정되는 것은 아니며 발광 소자들(LD) 각각에서 출사된 광의 효율을 향상시킬 수 있는 범위 내에서 다양하게 변경될 수 있다. 인접한 두 개의 격벽들(PW)은 보호층(PSV) 상의 동일한 평면 상에 배치될 수 있으며, 동일한 높이를 가질 수 있다.

[0135] 제1 및 제2 전극(REL1, REL2) 각각은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 발광 영역(EMA)에 제공

되며, 제2 방향(DR2, 일 예로 '수직 방향')을 따라 연장될 수 있다. 본 발명의 일 실시예에 있어서, 제1 전극(REL1)과 제2 전극(REL2)은 해당 서브 화소의 제1 영역(FA)과 제2 영역(SA)에 각각 위치할 수 있다. 제1 전극(REL1)과 제2 전극(REL2)은 동일한 면 상에 제공되며 서로 이격될 수 있다. 구체적으로, 제1 영역(FA)에 위치한 제1 전극(REL1)과 제2 전극(REL2)은 서로 이격되며, 제2 영역(SA)에 위치한 제1 전극(REL1)과 제2 전극(REL2)도 서로 이격될 수 있다.

[0136] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)에 위치한 제1 전극(REL1)과 해당 서브 화소의 제2 영역(SA)에 위치한 제1 전극(REL1)은 서로 이격되어 전기적으로 분리될 수 있다. 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 및 제2 영역(FA, SA) 각각에 위치한 제1 전극들(REL1)은 동일한 열에 위치할 수 있으나, 이에 한정되는 것은 아니다. 실시예에 따라, 제1 영역(FA)과 제2 영역(SA) 각각에 위치한 제1 전극들(REL1)은 상이한 열에 위치할 수도 있다.

[0137] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)에 위치한 제1 전극(REL1)은 보호층(PSV)을 관통하는 제1 컨택 홀(CH1)을 통해 해당 서브 화소의 제1 트랜지스터(T1)의 드레인 전극(DE)에 연결될 수 있다. 이로 인하여, 제1 트랜지스터(T1)에 인가된 신호가 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)에 위치한 제1 전극(REL1)으로 전달될 수 있다.

[0138] 제1 캡핑층(CPL1)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 전극(REL1) 상에 제공되어 상기 제1 전극(REL1)과 전기적 및/또는 물리적으로 연결될 수 있다. 제1 캡핑층(CPL1)은 표시 장치의 제조 공정 시 발생하는 불량 등으로 인해 대응하는 제1 전극(REL1)의 손상을 방지하며, 상기 대응하는 제1 전극(REL1)과 보호층(PSV)의 접착력을 강화시킬 수 있다. 제1 캡핑층(CPL1)은 발광 소자들(LD) 각각에서 출사되어 표시 장치의 표시 방향으로 진행되는 광의 손실을 최소화하기 위해 투명한 도전성 물질로 이루어질 수 있다. 투명한 도전성 물질은, 예를 들어, ITO, IZO, ITZO 등을 포함할 수 있으나, 이에 한정되는 것은 아니며, 광의 손실을 최소화하며 도전성을 갖는 재료를 모두 포함할 수도 있다.

[0139] 본 발명의 일 실시예에 있어서, 제1 캡핑층(CPL1)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)으로부터 제2 영역(SA)까지 연장된 바(Bar) 형상을 가질 수 있으나, 상기 제1 캡핑층(CPL1)의 형상이 이에 한정되는 것은 아니다.

[0140] 제1 캡핑층(CPL1)이 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)으로부터 제2 영역(SA)까지 연장되는 형태로 제공됨에 따라, 상기 제1 영역(FA)의 제1 전극(REL1)과 상기 제2 영역(SA)의 제1 전극(REL1)은 상기 제1 캡핑층(CPL1)에 의해 전기적으로 서로 연결될 수 있다. 이로 인하여, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)에서, 제1 전극(REL1)으로 전달된 신호는 제1 캡핑층(CPL1)을 통해 제2 영역(SA)에 위치한 제1 전극(REL1)으로 인가될 수 있다.

[0141] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)의 제2 전극(REL2)과 해당 서브 화소의 제2 영역(SA)의 제2 전극(REL2)은 서로 이격되어 전기적으로 분리될 수 있다. 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)의 제2 전극(REL2)과 해당 서브 화소의 제2 영역(SA)의 제2 전극(REL2)은 동일한 열에 위치할 수 있으나, 이에 한정되는 것은 아니다. 실시예에 따라, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)의 제2 전극(REL2)과 해당 서브 화소의 제2 영역(SA)의 제2 전극(REL2)은 상이한 열에 위치할 수도 있다.

[0142] 제2 캡핑층(CPL2)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 전극(REL2) 상에 제공되어 상기 제2 전극(REL2)과 전기적 및/또는 물리적으로 연결될 수 있다. 본 발명의 일 실시예에 있어서, 제2 캡핑층(CPL2)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)으로부터 제2 영역(SA)까지 연장되는 바(Bar) 형상을 가질 수 있으나, 상기 제2 캡핑층(CPL2)의 형상이 이에 한정되는 것은 아니다.

[0143] 제2 캡핑층(CPL2)은 제1 캡핑층(CPL1)과 동일한 층에 제공될 수 있다. 또한, 제2 캡핑층(CPL2)은 제1 캡핑층(CPL1)과 동일한 물질, 예를 들어, 투명한 도전성 물질을 포함할 수 있다.

[0144] 제2 캡핑층(CPL2)이 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)으로부터 제2 영역(SA)까지 연장되는 형태로 제공됨에 따라, 상기 제1 영역(FA)에 위치한 제2 전극(REL2)과 상기 제2 영역(SA)에 위치한 제2 전극(REL2)은 상기 제2 캡핑층(CPL2)에 의해 전기적으로 연결될 수 있다.

[0145] 연결 배선(CNL)은 제2 방향(DR2)과 교차하는 제1 방향(DR1, 일 예로 '수평 방향')으로 연장될 수 있다. 연결 배선(CNL)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)에 위치할 수 있으나, 이에 한정되는 것은 아니다. 실시예에 따라, 연결 배선(CNL)은 해당 서브 화소의 제1 영역(FA)에 위치할 수도 있다. 연결 배선

(CNL)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3)에 공통으로 제공될 수 있다. 이에 따라, 제1 내지 제3 서브 화소들(SP1, SP2, SP3)은 연결 배선(CNL)에 공통으로 연결될 수 있다.

- [0146] 본 발명의 일 실시예에 있어서, 연결 배선(CNL)은 제2 캡핑층(CPL2)과 동일한 층에 제공되며, 동일한 물질을 포함할 수 있다. 구체적으로, 연결 배선(CNL)과 제2 캡핑층(CPL2)은 일체로 제공되어, 전기적 및/또는 물리적으로 서로 연결될 수 있다. 제2 캡핑층(CPL2)과 연결 배선(CNL)이 일체로 형성 및/또는 제공되는 경우, 상기 연결 배선(CNL)을 상기 제2 캡핑층(CPL2)의 일 영역으로 간주할 수 있다.
- [0147] 연결 배선(CNL)은 보호층(P5V)을 관통하는 제2 콘택 홀(CH2)을 통해 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 주변 영역(PPA)에 위치한 구동 전압 배선(DVL)에 연결될 수 있다. 이로 인하여, 구동 전압 배선(DVL)에 인가된 제2 구동 전원(VSS)은 연결 배선(CNL)으로 전달될 수 있다.
- [0148] 상술한 바와 같이, 연결 배선(CNL)이 제2 캡핑층(CPL2)과 일체로 제공되는 경우, 상기 연결 배선(CNL)으로 인가된 제2 구동 전원(VSS)은 상기 제2 캡핑층(CPL2)으로 전달될 수 있다. 또한, 제2 캡핑층(CPL2)이 각 서브 화소의 제1 영역(FA)으로부터 제2 영역(SA)까지 연장된 형태로 제공되어 각 영역에 위치한 제2 전극(REL2)과 전기적 및/또는 물리적으로 연결되므로, 상기 제2 캡핑층(CPL2)으로 인가된 제2 구동 전원(VSS)은 각 서브 화소의 제1 및 제2 영역(FA, SA) 각각의 제2 전극(REL2)으로 전달될 수 있다.
- [0149] 본 발명의 일 실시예에 있어서, 제1 전극(REL1)과 제2 전극(REL2) 각각은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 발광 영역(EMA) 내에 발광 소자들(LD)을 정렬하기 위한 정렬 전극으로 기능할 수 있다.
- [0150] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 발광 영역(EMA)에 발광 소자들(LD)이 정렬되기 전, 제1 전극(REL)에는 정렬 배선(미도시)을 통해 제1 정렬 전압이 인가되고, 제2 전극(REL2)에는 연결 배선(CNL)을 통해 제2 정렬 전압이 인가될 수 있다. 제1 정렬 전압과 제2 정렬 전압은 서로 상이한 전압 레벨을 가질 수 있다.
- [0151] 제1 전극(REL1)과 제2 전극(REL2) 각각에 서로 상이한 전압 레벨을 갖는 소정의 정렬 전압이 인가됨에 따라 제1 전극(REL1)과 제2 전극(REL2) 사이에 전계가 형성될 수 있다. 전계에 의해 제1 전극(REL1)과 제2 전극(REL2) 사이에 발광 소자들(LD)이 정렬될 수 있다. 즉, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)에서 제1 전극(REL1)과 제2 전극(REL2) 사이에 발광 소자들(LD)이 정렬되고, 해당 서브 화소의 제2 영역(SA)에서 제1 전극(REL1)과 제2 전극(REL2) 사이에 발광 소자들(LD)이 정렬될 수 있다.
- [0152] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 발광 영역(EMA) 내에 발광 소자들(LD)이 정렬된 후, 제1 전극(REL1)과 제2 전극(REL2)은 발광 소자들(LD)을 구동하기 위한 구동 전극으로 기능할 수 있다.
- [0153] 제1 전극(REL1)과 제2 전극(REL2)은 발광 소자들(LD) 각각의 양 단부(EP1, EP2)에서 출사되는 광을 표시 장치의 표시 방향으로 반사시키기 위해(혹은 진행되도록 하기 위해) 일정한 반사율을 갖는 재료로 이루어질 수 있다. 제1 전극(REL1)과 제2 전극(REL2)은 일정한 반사율을 갖는 도전성 재료로 이루어질 수 있다. 도전성 재료로는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Ti, 이들의 합금과 같은 금속, ITO(indium tin oxide), IZO(indium zinc oxide), ZnO(zinc oxide), ITZO(indium tin zinc oxide)와 같은 도전성 산화물, PEDOT와 같은 도전성 고분자 등이 포함될 수 있다. 제1 전극(REL1)과 제2 전극(REL2)의 재료는 상술한 재료들에 한정되는 것은 아니다.
- [0154] 또한, 제1 전극(REL1)과 제2 전극(REL2)은 단일층으로 형성될 수 있으나, 본 발명이 이에 한정되는 것은 아니며, 금속들, 합금들, 도전성 산화물들, 도전성 고분자들 중 2이상 물질이 적층된 다중층으로 형성될 수도 있다. 제1 전극(REL1)과 제2 전극(REL2)은 발광 소자들(LD) 각각의 양 단부(EP1, EP2)로 신호를 전달할 때 신호 지연에 의한 전압 강하를 최소화하기 위해 적어도 이중층 이상의 다중층으로 형성될 수 있다.
- [0155] 제1 전극(REL1)과 제2 전극(REL2)은 격벽(PW)의 형상에 대응되는 형상을 갖기 때문에, 발광 소자들(LD) 각각의 양 단부(EP1, EP2)에서 출사된 광은 제1 전극(REL1)과 제2 전극(REL2)에 의해 반사되어 표시 장치의 표시 방향으로 더욱 진행될 수 있다. 따라서, 발광 소자들(LD) 각각에서 출사된 광의 효율이 향상될 수 있다.
- [0156] 본 발명의 일 실시예에 있어서, 격벽(PW), 제1 전극(REL1), 및 제2 전극(REL2)은 발광 소자들(LD) 각각에서 출사된 광을 표시 장치의 표시 방향으로 진행되게 하여 발광 소자들(LD)의 출광 효율을 향상시키는 반사 부재로 기능할 수 있다.
- [0157] 제1 전극(REL1)과 제2 전극(REL2) 중 어느 하나의 전극은 애노드 전극일 수 있으며, 나머지 하나의 전극은 캐소드 전극일 수 있다. 본 발명의 일 실시예에 있어서, 제1 전극(REL1)이 애노드 전극이고, 제2 전극(REL2)이 캐소드 전극일 수 있다.

- [0158] 발광 소자들(LD) 각각은 무기 결정 구조의 재료를 이용한 초소형의, 예를 들면 나노 또는 마이크로 스케일 정도로 작은 크기의, 발광 다이오드일 수 있다. 발광 소자들(LD)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각에서 제1 전극(REL1)과 제2 전극(REL2) 사이에 정렬될 수 있다. 구체적으로, 발광 소자들(LD)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)과 제2 영역(SA)에 제공될 수 있다.
- [0159] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 발광 영역(EMA)에는 적어도 2개 내지 수십 개의 발광 소자들(LD)이 제공될 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 실시예에 따라, 각 서브 화소에 제공되는 발광 소자들(LD)의 개수는 다양하게 변경될 수 있음은 물론이다.
- [0160] 발광 소자들(LD) 각각은 각 발광 소자(LD)의 길이(L) 방향을 따라 제1 도전성 반도체층(11), 활성층(12), 제2 도전성 반도체층(13), 및 전극층(15)이 순차적으로 적층된 적층체(혹은 적층 패턴)를 포함할 수 있다. 또한, 발광 소자들(LD) 각각은 적층체의 외주면을 둘러싸는 절연 피막(14)을 더 포함할 수 있다.
- [0161] 본 발명의 일 실시예에 있어서, 발광 소자들(LD) 각각은 원 기둥 형상을 가질 수 있다. 이러한 경우, 각 발광 소자(LD)는 원 기둥의 하부 및 원 기둥의 상부 중 어느 하나에 대응되는 제1 단부(EP1)와 상기 원 기둥의 하부 및 상기 원 기둥의 상부 중 나머지에 대응되는 제2 단부(EP2)를 포함할 수 있다. 각 발광 소자(LD)의 제1 단부(EP1)에는 제1 도전성 반도체층(11) 및 제2 도전성 반도체층(13) 중 어느 하나가 배치될 수 있고, 그의 제2 단부(EP2)에는 제1 도전성 반도체층(11) 및 제2 도전성 반도체층(13) 중 나머지 하나가 배치될 수 있다.
- [0162] 본 발명의 일 실시예에 있어서 발광 소자들(LD) 각각은 컬러 및/또는 백색 광 중 어느 하나의 광을 출사할 수 있다.
- [0163] 발광 소자들(LD) 상에는 각각 발광 소자들(LD) 각각의 상면 일부를 커버하는 제2 절연층(INS2)이 제공될 수 있다. 이로 인해, 발광 소자들(LD) 각각의 양 단부(EP1, EP2)는 외부로 노출될 수 있다. 제2 절연층(INS2)은 무기 재료로 이루어진 무기 절연막을 포함할 수 있으며, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 발광 영역(EMA)에 정렬된 발광 소자들(LD) 각각을 고정시킬 수 있다.
- [0164] 제2 절연층(INS2) 상에는 제3 절연층(INS3)이 제공될 수 있다. 제3 절연층(INS3)은 제2 절연층(INS2) 상에 제공되어 상기 제2 절연층(INS2)을 커버하면서 발광 소자들(LD) 각각의 양 단부(EP1, EP2)를 외부로 노출할 수 있다. 본 발명의 일 실시예에 있어서, 제3 절연층(INS3)은 유기 재료로 이루어진 유기 절연막을 포함할 수 있으며, 발광 소자들(LD)의 형상을 유지할 수 있다.
- [0165] 발광 소자들(LD) 각각의 하부에는 제1 절연층(INS1)이 제공될 수 있다. 제1 절연층(INS1)은 발광 소자들(LD) 각각과 보호층(PSV) 사이의 공간을 메워 발광 소자들(LD)을 안정적으로 지지하고, 보호층(PSV)으로부터 발광 소자들(LD)의 이탈을 방지할 수 있다. 제1 절연층(INS1)은 무기 재료로 이루어진 무기 절연막 또는 유기 재료로 이루어진 유기 절연막을 포함할 수 있다. 본 발명의 일 실시예에 있어서, 제1 절연층(INS1)은 화소 회로부(PCL)로부터 발광 소자들(LD)을 보호하는 데에 유리한 무기 절연막으로 이루어질 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 실시예에 따라, 제1 절연층(INS1)은 발광 소자들(LD)의 지지면을 평탄화시키는 데 유리한 유기 절연막으로 이루어질 수 있다.
- [0166] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)에 위치한 제1 전극(REL1)과 해당 서브 화소의 제2 영역(SA)에 위치한 제1 전극(REL1)은 발광 소자들(LD) 각각의 양 단부(EP1, EP2) 중 하나의 단부에 인접하게 배치되고, 제1 컨택 전극(CNE1)을 통해 발광 소자들(LD) 각각에 전기적으로 연결될 수 있다.
- [0167] 상술한 바와 같이, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)에 위치한 제1 전극(REL1)과 제2 영역(SA)에 위치한 제1 전극(REL1)은 제1 캡핑층(CPL1)을 통해 전기적 및/또는 물리적으로 서로 연결될 수 있다. 이에 따라, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)에 위치한 제1 전극(REL1)으로 인가된 제1 트랜지스터(T1)의 신호는 제1 캡핑층(CPL1)과 제1 컨택 전극(CNE1)을 통해 해당 서브 화소의 제1 및 제2 영역(FA, SA)에 위치한 발광 소자들(LD) 각각으로 전달될 수 있다.
- [0168] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)과 제2 영역(SA)에 위치한 제2 전극(REL2)은 발광 소자들(LD) 각각의 양 단부(EP1, EP2) 중 나머지 단부에 인접하게 배치되고, 제2 컨택 전극(CNE2)을 통해 발광 소자들(LD) 각각에 전기적으로 연결될 수 있다.
- [0169] 상술한 바와 같이, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)과 제2 영역(SA)에 위치한 제2 전극들(REL2)은 제2 캡핑층(CPL2)을 통해 전기적 및/또는 물리적으로 연결될 수 있다. 이에 따라, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 캡핑층(CPL2)으로 인가된 제2 구동 전원(VSS)은 제2 전극(REL2)과

제2 컨택 전극(CNE2)을 통해 해당 서브 화소의 제1 및 제2 영역(FA, SA)에 위치한 발광 소자들(LD) 각각으로 전달될 수 있다.

- [0170] 제1 전극(REL1) 상에는, 제1 전극(REL1)과 발광 소자들(LD) 각각의 양 단부(EP1, EP2) 중 하나의 단부를 전기적 및/또는 물리적으로 안정되게 연결하는 제1 컨택 전극(CNE1)이 제공될 수 있다.
- [0171] 제1 컨택 전극(CNE1)은, 발광 소자들(LD) 각각으로부터 방출되어 제1 전극(REL1)에 의해 표시 장치의 표시 방향으로 반사된 광이 손실 없이 상기 표시 방향으로 진행되도록 투명한 도전성 물질로 구성될 수 있다. 제1 컨택 전극(CNE1)은, 제1 전극(REL1)을 커버하며 상기 제1 전극(REL1)에 중첩될 수 있다. 또한, 제1 컨택 전극(CNE1)은 발광 소자들(LD) 각각의 양 단부(EP1, EP2) 중 하나의 단부를 커버하며, 상기 하나의 단부에 중첩될 수 있다.
- [0172] 본 발명의 일 실시예에 있어서, 제1 컨택 전극(CNE1)은 각 서브 화소의 제1 영역(FA)으로부터 제2 영역(SA)까지 연장된 바(Bar) 형상으로 제공될 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 실시예에 따라, 제1 컨택 전극(CNE1)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)과 제2 영역(SA)으로 분리되어 대응하는 제1 전극(REL1)을 커버하는 형태로 제공될 수 있다.
- [0173] 제1 컨택 전극(CNE1)이 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)으로부터 제2 영역(SA)까지 연장되는 형태로 제공될 경우, 상기 제1 컨택 전극(CNE1)은 제1 캡핑층(CPL1)과 중첩될 수 있다.
- [0174] 제1 컨택 전극(CNE1) 상에는 상기 제1 컨택 전극(CNE1)을 커버하는 제4 절연층(INS4)이 제공될 수 있다. 제4 절연층(INS4)은 제1 컨택 전극(CNE1)을 외부로 노출되지 않게 하여 상기 제1 컨택 전극(CNE1)의 부식을 방지할 수 있다.
- [0175] 제4 절연층(INS4)은 무기 재료로 이루어진 무기 절연막 또는 유기 재료로 이루어진 유기 절연막을 포함할 수 있다. 제4 절연층(INS4)은 도면에 도시된 바와 같이 단일층으로 이루어질 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 실시예에 따라, 제4 절연층(INS4)은 다중층으로 이루어질 수도 있다. 제4 절연층(INS4)이 다중층으로 이루어진 경우, 상기 제4 절연층(INS4)은 복수의 절연막 또는 복수의 유기 절연막이 교번하여 적층된 구조를 가질 수 있다. 예를 들어, 제4 절연층(INS4)은 제1 무기 절연막, 유기 절연막, 및 제2 무기 절연막이 순차적으로 적층된 구조를 가질 수 있다.
- [0176] 제2 전극(REL2) 상에는, 제2 전극(REL2)과 발광 소자들(LD) 각각의 양 단부(EP1, EP2) 중 나머지 단부를 전기적 및/또는 물리적으로 안정되게 연결하는 제2 컨택 전극(CNE2)이 제공될 수 있다.
- [0177] 제2 컨택 전극(CNE2)은, 제1 컨택 전극(CNE1)과 동일한 물질을 포함할 수 있다. 제2 컨택 전극(CNE2)은, 제2 전극(REL2)을 커버하며 상기 제2 전극(REL2)에 중첩될 수 있다. 또한, 제2 컨택 전극(CNE2)은 발광 소자들(LD) 각각의 양 단부(EP1, EP2) 중 나머지 단부를 커버하여, 상기 나머지 단부에 중첩될 수 있다.
- [0178] 본 발명의 일 실시예에 있어서, 제2 컨택 전극(CNE2)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)으로부터 제2 영역(SA)까지 연장된 바(Bar) 형상으로 제공될 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 실시예에 따라, 제2 컨택 전극(CNE2)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)에 위치한 제2 전극(REL2)과 중첩되고, 해당 서브 화소의 제2 영역(SA)에 위치한 제2 전극(REL2)과 중첩되도록 각 서브 화소의 영역별로 이격된 형태로 제공될 수도 있다.
- [0179] 제2 컨택 전극(CNE2)이 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)으로부터 제2 영역(SA)까지 연장되는 형태로 제공될 경우, 상기 제2 컨택 전극(CNE2)은 제2 캡핑층(CPL2)과 중첩될 수 있다.
- [0180] 제2 컨택 전극(CNE2) 상에는 상기 제2 컨택 전극(CNE2)을 커버하는 제5 절연층(INS5)이 제공될 수 있다. 제5 절연층(INS5)은 제2 컨택 전극(CNE2)을 외부로 노출되지 않도록 하여 제2 컨택 전극(CNE2)의 부식을 방지할 수 있다. 제5 절연층(INS5)은 무기 절연막 또는 유기 절연막 중 어느 하나의 절연막으로 구성될 수 있다.
- [0181] 제5 절연층(INS5) 상에는 오버 코트층(OC)이 제공될 수 있다. 오버 코트층(OC)은 그 하부에 배치된 격벽(PW), 제1 및 제2 전극들(REL1, REL2), 제1 및 제2 컨택 전극들(CNE1, CNE2) 등에 의해 발생된 단차를 완화시키는 평탄화층일 수 있다. 오버 코트층(OC)은 발광 소자들(LD)로 산소 및 수분 등이 침투하는 것을 방지하는 봉지층일 수 있다. 실시예에 따라, 오버 코트층(OC)이 생략될 수 있다.
- [0182] 상술한 바와 같이, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)과 제2 영역(SA)에 정렬된 발광 소자들(LD) 각각의 양 단부(EP1, EP2)에는 제1 전극(REL1)과 제2 전극(REL2)을 통해 소정의 전압이 인가될

수 있다. 이에 따라, 발광 소자들(LD) 각각의 활성층(12)에서 전자-정공 쌍이 결합하면서 발광 소자들(LD) 각각은 광을 방출할 수 있다. 여기서, 활성층(12)은 400nm 내지 900nm 파장대의 광을 방출할 수 있다.

[0183] 한편, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)은 광이 투과되는 투과 영역(TA)을 포함할 수 있다. 본 발명의 일 실시예에 있어서, 투과 영역(TA)으로 투과하는 광은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)과 제2 영역(SA)에서 방출되는 광 및/또는 기관(SUB)으로 유입되는 광을 모두 포함할 수 있다.

[0184] 투과 영역(TA)은 각 서브 화소의 표시 소자층(DPL)의 일부 구성(일 예로, 불투명한 도전성 금속을 포함하는 구성)이 배치되지 않는 영역일 수 있다. 여기서, 표시 소자층(DPL)의 일부 구성은 일정한 반사율을 갖는 불투명한 도전성 재료를 포함한 제1 전극(REL1)과 제2 전극(REL2)을 포함할 수 있다. 즉, 투과 영역(TA)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)에서 제1 전극(REL1)과 제2 전극(REL2)이 배치되지 않는 영역일 수 있다. 다시 말해, 투과 영역(TA)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)에서 표시 소자층(DPL)의 일부 구성 요소들을 배치하지 않는 방식으로 제공될 수 있다.

[0185] 실시예에 따라, 제2 영역(SA)에서 투과 영역(TA)은 상기 투과 영역(TA)을 지나는 광을 손실없이 관통되게 하기 위한 개구부(미도시)를 포함할 수 있다. 본 발명의 일 실시예에 있어서, 개구부는 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)에 대응되는 절연층의 적어도 일부와 발광을 위한 구성 요소의 적어도 일부가 제거되는 방식으로 형성될 수 있다. 예를 들어, 개구부는 버퍼층(BFL), 게이트 절연층(GI), 층간 절연층(ILD), 및 보호층(PDV) 등이 제공됨으로써 형성될 수 있다. 개구부를 형성하기 위해 제거되는 절연층은 상술한 예들에 한정되는 것은 아니며, 예를 들어, 표시 소자층(DPL)에 포함된 절연층들의 일부도 제거될 수도 있다. 상술한 개구부를 포함한 투과 영역(TA)에 대해서는 도 10 및 도 11을 참조하여 후술한다.

[0186] 상술한 바와 같이, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 특정 영역, 예를 들어, 제1 영역(FA)에 해당 서브 화소의 화소 회로부(PCL)가 집중적으로 배치되고, 제2 영역(SA)에 상기 해당 서브 화소의 표시 소자층(DPL)의 일부 구성들이 제공되지 않음에 따라, 상기 해당 서브 화소의 개구율이 확보될 수 있다. 특히, 본 발명의 일 실시예에 따른 표시 장치가 투명 표시 장치인 경우, 각 서브 화소의 개구율이 확보됨에 따라 기관(SUB)의 배면 및/또는 전면으로부터 유입되는 광의 투과율이 증가되어 상기 투명 표시 장치의 화질이 향상될 수 있다.

[0187] 본 발명의 일 실시예에 있어서, 화소 회로부(PCL)가 배치되지 않는 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)의 광 투과도가 상기 화소 회로부(PCL)가 제공되는 해당 서브 화소의 제1 영역(FA)의 광 투과도보다 상대적으로 높을 수 있다. 또한, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)에서 표시 소자층(DPL)의 적어도 일부 구성이 배치되지 않는 영역, 일 예로, 투과 영역(TA)의 광 투과도가 상기 제2 영역(SA)에서 상기 투과 영역(TA)을 제외한 나머지 영역의 광 투과도보다 상대적으로 높을 수 있다.

[0188] 도 7은 본 발명의 일 실시예에 따른 표시 장치를 나타낸 것으로, 도 4의 I ~ I'선에 대응되는 단면도이다.

[0189] 도 7에 도시된 표시 장치는, 제1 컨택 전극과 제2 컨택 전극이 동일한 층에 제공되는 점을 제외하고는 도 5의 표시 장치와 실질적으로 동일하거나 유사한 구성을 가질 수 있다.

[0190] 이에, 도 7의 표시 장치와 관련하여, 중복된 설명을 피하기 위하여 상술한 일 실시예와 상이한 점을 위주로 설명한다. 본 실시예에서 특별히 설명하지 않은 부분은 상술한 일 실시예에 따르며, 동일한 번호는 동일한 구성 요소를, 유사한 번호는 유사한 구성 요소를 나타낸다.

[0191] 도 1a, 도 2, 도 4, 및 도 7를 참조하면, 본 발명의 일 실시예에 따른 표시 장치는 복수의 화소들(PXL)이 제공된 기관(SUB)을 포함할 수 있다. 화소들(PXL) 각각은 제1 내지 제3 서브 화소들(SP1, SP2, SP3)을 포함할 수 있다.

[0192] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각은 광을 방출하는 발광 영역(EMA) 및 상기 발광 영역(EMA)의 주변에 위치한 주변 영역(PPA)을 포함할 수 있다. 또한, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각은 화소 회로부(PCL)가 배치되는 제1 영역(FA) 및 상기 제1 영역(FA)에 인접한 제2 영역(SA)을 포함할 수 있다.

[0193] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각은 기관(SUB), 화소 회로부(PCL), 및 표시 소자층(DPL)을 포함할 수 있다.

[0194] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 화소 회로부(PCL)는 기관(SUB) 상에 제공된 제1 및 제2 트랜지스터(T1, T2)와, 구동 전압 배선(DVL)과, 제1 및 제2 컨택 홀(CH1, CH2)을 구비한 보호층(PDV)을 포함할 수

있다.

- [0195] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 표시 소자층(DPL)은 해당 서브 화소의 제1 영역(FA)과 제2 영역(SA)에 제공될 수 있다. 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 표시 소자층(DPL)은 격벽(PW), 제1 및 제2 전극(REL1, REL2), 제1 및 제2 캡핑층(CPL1, CPL2), 복수의 발광 소자들(LD), 제1 및 제2 컨택 전극(CNE1, CNE2)을 포함할 수 있다.
- [0196] 제1 및 제2 전극(REL1, REL2)은 동일한 면 상에 제공되며 서로 이격될 수 있다. 제1 전극(REL1)과 제2 전극(REL2) 중 하나의 전극은 애노드 전극일 수 있으며 나머지 하나의 전극은 캐소드 전극일 수 있다. 제1 전극(REL1)과 제2 전극(REL2)은 발광 소자들(LD) 각각에서 방출된 광을 표시 장치의 표시 방향으로 진행되도록 일정한 반사율을 갖는 도전성 재료를 포함하여 구성될 수 있다.
- [0197] 제1 및 제2 캡핑층(CPL1, CPL2) 각각은 대응되는 전극 상에 제공될 수 있다. 구체적으로, 제1 캡핑층(CPL1)은 제1 전극(REL1) 상에 제공되며, 제2 캡핑층(CPL2)은 제2 전극(REL2) 상에 제공될 수 있다. 제1 캡핑층(CPL1)과 제2 캡핑층(CPL2)은 동일한 면 상에 제공되며 서로 이격될 수 있다.
- [0198] 제1 캡핑층(CPL1)과 제2 캡핑층(CPL2)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)으로부터 제2 영역(SA)까지 연장된 형태로 제공될 수 있다. 이에 따라, 제1 영역(FA)의 제1 전극(REL1)과 제2 영역(SA)의 제1 전극(REL1)은 제1 캡핑층(CPL1)을 통해 전기적 및/또는 물리적으로 서로 연결될 수 있다. 마찬가지로, 제1 영역(FA)의 제2 전극(REL2)과 제2 영역(SA)의 제2 전극(REL2)은 제2 캡핑층(CPL2)을 통해 전기적 및/또는 물리적으로 서로 연결될 수 있다.
- [0199] 본 발명의 일 실시예에 있어서, 제1 캡핑층(CPL1)과 제2 캡핑층(CPL2)은 발광 소자들(LD) 각각에서 출사된 광의 손실을 최소화하며 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)을 관통하는 광의 투과율을 향상시키기 위해 투명한 도전성 물질로 이루어질 수 있다.
- [0200] 제1 컨택 전극(CNE1)과 제2 컨택 전극(CNE2)은 대응하는 전극 상에 제공되어, 상기 대응하는 전극과 전기적 및/또는 물리적으로 연결될 수 있다. 일 예로, 제1 컨택 전극(CNE1)은 제1 전극(REL1) 상에 제공되어 상기 제1 전극(REL1)과 전기적 및/또는 물리적으로 연결될 수 있다. 제2 컨택 전극(CNE2)은 제2 전극(REL2) 상에 제공되어 상기 제2 전극(REL2)과 전기적 및/또는 물리적으로 연결될 수 있다. 구체적으로, 제1 컨택 전극(CNE1)은 제1 캡핑층(CPL1) 상에 직접 제공되어 상기 제1 캡핑층(CPL1)의 하부에 배치된 제1 전극(REL1)과 전기적 및/또는 물리적으로 연결될 수 있다. 제2 컨택 전극(CNE2)은 제2 캡핑층(CPL2) 상에 직접 제공되어 상기 제2 캡핑층(CPL2)의 하부에 배치된 제2 전극(REL2)과 전기적 및/또는 물리적으로 연결될 수 있다.
- [0201] 본 발명의 일 실시예에 있어서, 제1 컨택 전극(CNE1)과 제2 컨택 전극(CNE2)은 동일한 면 상에 제공되며 제3 절연층(INS3) 상에서 일정 간격 이격되어 전기적 및/또는 물리적으로 분리될 수 있다. 즉, 제1 컨택 전극(CNE1)과 제2 컨택 전극(CNE2)은 동일한 층에 제공되며 동일한 제조 공정을 통해 형성될 수 있다.
- [0202] 제1 컨택 전극(CNE1)과 제2 컨택 전극(CNE2) 상에는 상기 제1 및 제2 컨택 전극(CNE1, CNE2)을 커버하는 제4 절연층(INS4)이 제공될 수 있다. 제4 절연층(INS4)은 도 5에 도시된 제5 절연층(INS5)에 대응될 수 있다. 제4 절연층(INS4)은 제1 컨택 전극(CNE1)과 제2 컨택 전극(CNE2)을 외부로 노출되지 않게 하여 상기 제1 및 제2 컨택 전극(CNE1, CNE2)의 부식을 방지할 수 있다.
- [0203] 도 8은 본 발명의 일 실시예에 따른 표시 장치의 하나의 화소를 개략적으로 도시한 평면도이며, 도 9는 도 8의 II ~ II'선에 따른 단면도이다.
- [0204] 도 8 및 도 9의 표시 장치는 각 서브 화소의 제2 영역에 표시 소자층이 배치되지 않는 점을 제외하고는 도 4 및 도 5의 표시 장치와 실질적으로 동일하거나 유사한 구성을 가질 수 있다.
- [0205] 이에, 도 8 및 도 9의 표시 장치와 관련하여, 중복된 설명을 피하기 위하여 상술한 일 실시예와 상이한 점을 위주로 설명한다. 본 실시예에서 특별히 설명하지 않은 부분은 상술한 일 실시예에 따르며, 동일한 번호는 동일한 구성 요소를, 유사한 번호는 유사한 구성 요소를 나타낸다.
- [0206] 도 1a, 도 2, 도 8, 및 도 9를 참조하면, 본 발명의 일 실시예에 따른 표시 장치는 복수의 화소들(PXL)이 제공된 기판(SUB)을 포함할 수 있다. 화소들(PXL) 각각은 제1 내지 제3 서브 화소들(SP1, SP2, SP3)을 포함할 수 있다.
- [0207] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각은 광을 방출하는 발광 영역(EMA)과 상기 발광 영역(EMA)의 주변

에 위치한 주변 영역(PPA)을 포함할 수 있다. 또한, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각은 화소 회로부(PCL)가 배치되는 제1 영역(FA) 및 상기 제1 영역(FA)에 인접한 제2 영역(SA)을 포함할 수 있다.

- [0208] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각은 기관(SUB), 화소 회로부(PCL), 및 표시 소자층(DPL)을 포함할 수 있다.
- [0209] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 화소 회로부(PCL)는 해당 서브 화소의 제1 영역(FA)에 배치되며, 기관(SUB) 상에 제공된 제1 및 제2 트랜지스터(T1, T2)와, 구동 전압 배선(DVL)과, 제1 및 제2 컨택 홀(CH1, CH2)을 구비한 보호층(PSV)을 포함할 수 있다. 또한, 각 서브 화소의 화소 회로부(PCL)는 제1 및 제2 트랜지스터(T1, T2) 각각과 기관(SUB) 사이에 제공된 차광 패턴(SDL)을 더 포함할 수 있다.
- [0210] 본 발명의 일 실시예에 있어서, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 표시 소자층(DPL)은 해당 서브 화소의 제1 영역(FA)에 배치될 수 있다. 구체적으로, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 표시 소자층(DPL)은 해당 서브 화소의 제1 영역(FA)의 화소 회로부(PCL) 상에 배치될 수 있다. 즉, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 표시 소자층(DPL)은 해당 서브 화소의 화소 회로부(PCL)와 중첩될 수 있다. 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 표시 소자층(DPL)이 해당 서브 화소의 제1 영역(FA)에만 배치될 경우, 상기 해당 서브 화소의 발광 영역(EMA)은 상기 제1 영역(FA)에 대응될 수 있다.
- [0211] 편의를 위하여, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)을 우선 설명한 후, 해당 서브 화소의 제2 영역(SA)을 설명한다.
- [0212] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)에서, 표시 소자층(DPL)은 격벽(PW)과, 연결 배선(CNL)과, 제1 및 제2 전극(REL1, REL2)과, 제1 및 제2 캡핑층(CPL1, CPL2)과, 제1 및 제2 컨택 전극(CNE1, CNE2)을 포함할 수 있다.
- [0213] 연결 배선(CNL)은 제1 방향(DR1, 일 예로 '수평 방향')으로 연장될 수 있다. 연결 배선(CNL)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3)에 공통으로 제공될 수 있다. 이에 따라, 제1 내지 제3 서브 화소들(SP1, SP2, SP3)은 연결 배선(CNL)에 공통으로 연결될 수 있다. 연결 배선(CNL)은 제2 전극(REL2)과 동일한 층에 제공되며, 동일한 물질을 포함할 수 있다. 구체적으로, 연결 배선(CNL)과 제2 전극(REL2)은 일체로 제공되어, 전기적 및/또는 물리적으로 서로 연결될 수 있다. 제2 전극(REL2)과 연결 배선(CNL)이 일체로 형성 및/또는 제공되는 경우, 연결 배선(CNL)을 제2 전극(REL2)의 일 영역으로 간주할 수도 있다.
- [0214] 연결 배선(CNL)은 보호층(PSV)의 제2 컨택 홀(CH2)을 통해 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 주변 영역(PPA)에 위치한 구동 전압 배선(DVL)에 연결될 수 있다. 이로 인하여, 구동 전압 배선(DVL)에 인가된 제2 구동 전원(도 3a의 VSS 참고)은 연결 배선(CNL)으로 전달될 수 있다.
- [0215] 제1 전극(REL1)과 제2 전극(REL2)은 격벽(PW) 상에 제공되며, 서로 이격될 수 있다. 제1 전극(REL1)은 보호층(PSV)의 제1 컨택 홀(CH1)을 통해 화소 회로부(PCL)의 제1 트랜지스터(T1)에 전기적으로 연결될 수 있다. 이에 따라, 제1 트랜지스터(T1)에 인가된 신호는 제1 전극(REL1)으로 전달될 수 있다. 제2 전극(REL2)은 연결 배선(CNL)과 일체로 제공되어 상기 연결 배선(CNL)과 전기적 및/또는 물리적으로 연결될 수 있다. 이에 따라, 연결 배선(CNL)에 인가된 제2 구동 전원(VSS)이 제2 전극(REL2)으로 전달될 수 있다.
- [0216] 제1 전극(REL1)과 제2 전극(REL2)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 발광 영역(EMA)에 발광 소자들(LD)을 정렬하기 위한 정렬 전극으로 기능할 수 있다. 또한, 제1 전극(REL1)과 제2 전극(REL2)은 발광 소자들(LD)의 정렬 이후 상기 발광 소자들(LD)을 구동하는 구동 전극으로 기능할 수 있다.
- [0217] 제1 캡핑층(CPL1)은 제1 전극(REL1) 상에 제공되며, 상기 제1 전극(REL1)과 전기적 및/또는 물리적으로 연결될 수 있다. 제2 캡핑층(CPL2)은 제2 전극(REL2) 상에 제공되며, 상기 제2 전극(REL2)과 전기적 및/또는 물리적으로 연결될 수 있다. 본 발명의 일 실시예에 있어서, 제1 캡핑층(CPL1)과 제2 캡핑층(CPL2)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)에만 제공될 수 있으나, 이에 한정되는 것은 아니다. 실시예에 따라, 제1 캡핑층(CPL1)과 제2 캡핑층(CPL2)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)으로부터 해당 서브 화소의 제2 영역(SA)으로 연장된 형태로 제공될 수 있다.
- [0218] 제1 컨택 전극(CNE1)은 발광 소자들(LD) 각각의 양 단부(EP1, EP2) 중 하나의 단부 및 제1 전극(REL1) 상에 제공되어 상기 발광 소자들(LD) 각각의 하나의 단부와 상기 제1 전극(REL1)을 전기적 및/또는 물리적으로 연결할 수 있다. 제2 컨택 전극(CNE2)은 발광 소자들(LD) 각각의 양 단부(EP1, EP2) 중 나머지 단부 및 제2 전극(REL2) 상에 제공되어 상기 발광 소자들(LD) 각각의 나머지 단부와 상기 제2 전극(REL2)을 전기적 및/또는 물리적으로

연결할 수 있다.

- [0219] 본 발명의 일 실시예에 있어서, 제1 컨택 전극(CNE1)과 제2 컨택 전극(CNE2)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)에만 제공될 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 실시예에 따라, 제1 컨택 전극(CNE1)과 제2 컨택 전극(CNE2)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)으로부터 해당 서브 화소의 제2 영역(SA)까지 연장된 형태로 제공될 수도 있다.
- [0220] 상술한 표시 소자층(DPL)을 포함한 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)은 광이 방출되는 발광 영역(EMA)에 포함될 수 있다.
- [0221] 다음으로, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)에 대해 설명한다.
- [0222] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)에는 기관(SUB), 화소 회로부(PCL)에 포함된 절연층들, 표시 소자층(DPL)에 포함된 절연층들이 배치될 수 있다. 구체적으로, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)에는 기관(SUB), 버퍼층(BFL), 게이트 절연층(GI), 층간 절연층(ILD), 보호층(PSV), 제5 절연층(INS), 및 오버 코트층(OC)이 제공될 수 있다. 다만, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)에 포함된 층들은 도면에 도시된 것에 한정되는 것은 아니며, 상기 제2 영역(SA)에 포함된 층들 중 일부는 생략될 수 있으며, 다른 층들이 더 추가될 수도 있다.
- [0223] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)은 광이 투과되는 투과 영역(TA)을 포함할 수 있다. 투과 영역(TA)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 표시 소자층(DPL)에 포함된 제1 및 제2 전극(REL1, REL2)이 배치되지 않는 영역으로, 광이 방출되지 않는 영역일 수 있다.
- [0224] 본 발명의 일 실시예에 있어서, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 투과 영역(TA)은 해당 서브 화소의 제2 영역(SA)에 대응될 수 있다. 즉, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 투과 영역(TA)은 해당 서브 화소의 제2 영역(SA)과 동일한 면적(또는 크기)을 가질 수 있다.
- [0225] 상술한 바와 같이, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 특정 영역, 즉, 제1 영역(FA)에 해당 서브 화소의 화소 회로부(PCL)와 표시 소자층(DPL)을 배치하고, 제2 영역(SA)에 발광을 위한 구성 요소들, 일 예로, 표시 소자층(DPL)을 배치하지 않음에 따라, 상기 해당 서브 화소의 투과 영역(TA)이 더욱 확보될 수 있다. 이로 인하여, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 개구율이 향상되고 해당 서브 화소의 광 투과율이 증가할 수 있다.
- [0226] 도 10은 본 발명의 일 실시예에 따른 표시 장치의 하나의 화소를 개략적으로 도시한 평면도이며, 도 11은 도 10의 III ~ III'선에 따른 단면도이다.
- [0227] 도 10 및 도 11의 표시 장치는 연결 배선이 제2 캡핑층과 일체로 제공되는 점과 제2 영역에 포함된 투과 영역이 개구부를 포함한다는 점을 제외하고는 도 8 및 도 9의 표시 장치와 실질적으로 동일하거나 유사한 구성을 가질 수 있다.
- [0228] 이에, 도 10 및 도 11의 표시 장치와 관련하여, 중복된 설명을 피하기 위하여 상술한 일 실시예와 상이한 점을 위주로 설명한다. 본 실시예에서 특별히 설명하지 않는 부분은 상술한 일 실시예에 따르며, 동일한 번호는 동일한 구성 요소들, 유사한 번호는 유사한 구성 요소들 나타낸다.
- [0229] 도 1a, 도 2, 도 10, 및 도 11을 참조하면, 본 발명의 일 실시예에 따른 표시 장치는 복수의 화소들(PXL)이 제공된 기관(SUB)을 포함할 수 있다. 각 화소(PXL)는 제1 내지 제3 서브 화소들(SP1, SP2, SP3)을 포함할 수 있다.
- [0230] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각은 화소 회로부(PCL) 및 표시 소자층(DPL)이 배치되는 제1 영역(FA) 및 상기 제1 영역(FA)에 인접한 제2 영역(SA)을 포함할 수 있다. 본 발명의 일 실시예에 있어서, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 표시 소자층(DPL)은 해당 서브 화소의 제1 영역(FA)에서 화소 회로부(PCL) 상에 배치될 수 있다. 즉, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 표시 소자층(DPL)은 해당 서브 화소의 화소 회로부(PCL)와 중첩될 수 있다.
- [0231] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)에서, 표시 소자층(DPL)은 격벽(PW)과, 제1 및 제2 전극(REL1, REL2)과, 제1 및 제2 캡핑층(CPL1, CPL2)과, 연결 배선(CNL)과, 제1 및 제2 컨택 전극(CNE1, CNE2)을 포함할 수 있다.
- [0232] 연결 배선(CNL)은 제1 방향(DR1, 일 예로 '수평 방향')으로 연장될 수 있다. 연결 배선(CNL)은 제1 내지 제3 서

브 화소들(SP1, SP2, SP3)에 공통으로 제공될 수 있다. 이에 따라, 제1 내지 제3 서브 화소들(SP1, SP2, SP3)은 연결 배선(CNL)에 공통으로 연결될 수 있다.

- [0233] 본 발명의 일 실시예에 있어서, 연결 배선(CNL)은 제2 캡핑층(CPL2)과 동일한 층에 제공되며, 동일한 물질을 포함할 수 있다. 구체적으로, 연결 배선(CNL)과 제2 캡핑층(CPL2)은 일체로 제공되어, 전기적 및/또는 물리적으로 서로 연결될 수 있다. 제2 캡핑층(CPL2)과 연결 배선(CNL)이 일체로 형성 및/또는 제공되는 경우, 연결 배선(CNL)을 제2 캡핑층(CPL2)의 일 영역으로 간주할 수도 있다.
- [0234] 연결 배선(CNL)은 보호층(PDV)의 제2 컨택 홀(CH2)을 통해 각 서브 화소의 주변 영역(PPA)에 위치한 구동 전압 배선(DVL)에 연결될 수 있다. 이로 인하여, 구동 전압 배선(DVL)에 인가된 제2 구동 전원(도 3a의 VSS 참고)은 연결 배선(CNL)으로 전달될 수 있다. 상술한 바와 같이, 연결 배선(CNL)이 제2 캡핑층(CPL2)과 일체로 제공됨에 따라, 상기 연결 배선(CNL)으로 인가된 제2 구동 전원(VSS)은 상기 제2 캡핑층(CPL2)으로 전달될 수 있다.
- [0235] 제1 캡핑층(CPL1)은 제1 전극(REL1) 상에 제공되며, 상기 제1 전극(REL1)과 전기적 및/또는 물리적으로 연결될 수 있다. 본 발명의 일 실시예에 있어서, 제1 캡핑층(CPL1)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)에만 제공될 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 실시예에 따라, 제1 캡핑층(CPL1)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)으로부터 해당 서브 화소의 제2 영역(SA)까지 연장된 형태로 제공될 수도 있다.
- [0236] 제2 캡핑층(CPL2)은 제2 전극(REL2) 상에 제공되며, 상기 제2 전극(REL2)과 전기적 및/또는 물리적으로 연결될 수 있다. 본 발명의 일 실시예에 있어서, 제2 캡핑층(CPL2)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)에만 제공될 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 실시예에 따라, 제2 캡핑층(CPL2)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)으로부터 해당 서브 화소의 제2 영역(SA)까지 연장된 형태로 제공될 수도 있다. 본 발명의 일 실시예에 있어서, 제2 캡핑층(CPL2)이 제2 전극(REL2)과 전기적 및/또는 물리적으로 연결되므로, 상기 제2 캡핑층(CPL2)으로 인가된 제2 구동 전원(VSS)은 상기 제2 전극(REL2)으로 전달될 수 있다.
- [0237] 본 발명의 일 실시예에 있어서, 제1 캡핑층(CPL1)과 제2 캡핑층(CPL2)은 발광 소자들(LD) 각각에서 출사된 광의 손실을 최소화하며 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)을 관통하는 광의 투과율을 향상시키기 위해 투명한 도전성 물질로 이루어질 수 있다. 제2 캡핑층(CPL2)은 연결 배선(CNL)과 일체로 제공되므로, 연결 배선(CNL)도 투명한 도전성 물질로 이루어질 수 있다.
- [0238] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)은 광이 투과되는 투과 영역(TA)을 포함할 수 있다. 본 발명의 일 실시예에 있어서, 투과 영역(TA)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 표시 소자층(DPL)의 일부 구성, 일 예로, 제1 전극(REL1)과 제2 전극(REL2)이 배치되지 않는 영역으로, 광이 방출되지 않는 영역일 수 있다. 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 투과 영역(TA)은 해당 서브 화소의 제2 영역(SA)과 동일한 면적(또는 크기)를 가질 수 있다.
- [0239] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)에 포함된 투과 영역(TA)에는 개구부(OPN)가 제공될 수 있다. 개구부(OPN)는 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)에 위치한 절연층의 적어도 일부와 발광을 위한 표시 소자층(DPL)의 구성 요소가 제거되는 방식으로 형성될 수 있다. 예를 들어, 개구부(OPN)는 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)에서 층간 절연층(ILD) 및 보호층(PDV)이 제거됨으로써 형성될 수 있다. 그러나, 개구부(OPN)를 형성하기 위해 제거되는 구성 요소는 상술한 예들에 한정되는 것은 아니다. 예를 들어, 게이트 절연층(GI)이나 버퍼층(BFL)도 제거될 수 있다.
- [0240] 투과 영역(TA)에 개구부(OPN)가 형성될 경우, 오버 코트층(OC)은 상기 개구부(OPN) 내부를 채우는 형태로 제공될 수 있다. 이러한 경우, 오버 코트층(OC)은 개구부(OPN)를 관통하는 광의 손실을 최소화하기 위해 투명한 재료로 이루어질 수 있다.
- [0241] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)에 포함된 투과 영역(TA)에 개구부(OPN)가 형성됨으로써, 기관(SUB)의 배면 및/또는 전면으로 유입된 광은 간섭 등에 의한 광 손실없이 상기 개구부(OPN)를 관통할 수 있다. 이에 따라, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)에서 광 투과율이 더욱 증가할 수 있다.
- [0242] 상술한 바와 같이, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 특정 영역, 즉, 제1 영역(FA)에 해당 서브 화소의 화소 회로부(PCL)와 표시 소자층(DPL)을 배치하고, 제2 영역(SA)에 상기 표시 소자층(DPL)을 배치하지 않음에 따라, 상기 해당 서브 화소의 투과 영역(TA)이 더욱 확보될 수 있다. 이로 인하여, 제1 내지 제3 서

브 화소들(SP1, SP2, SP3) 각각의 개구율이 향상되고 해당 서브 화소의 광 투과율이 증가할 수 있다.

- [0243] 또한, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)에 개구부(OPN)가 배치됨에 따라, 상기 제2 영역(SA) 상의 기관(SUB)의 배면 및/또는 전면으로 유입된 광이 손실 없이 상기 개구부(OPN)를 관통하여 해당 서브 화소의 광 투과율이 더욱 증가할 수 있다.
- [0244] 도 12는 본 발명의 일 실시예에 따른 표시 장치의 하나의 화소를 개략적으로 도시한 평면도이며, 도 13은 도 12의 IV ~ IV'선에 따른 단면도이다.
- [0245] 도 12 및 도 13의 표시 장치는 각 서브 화소의 표시 소자층이 제2 영역의 적어도 일부에만 제공되는 점을 제외하고는 도 4 및 도 5의 표시 장치와 실질적으로 동일하거나 유사한 구성을 가질 수 있다.
- [0246] 이에, 도 12 및 도 13의 표시 장치와 관련하여, 중복된 설명을 피하기 위하여 상술한 일 실시예와 상이한 점을 위주로 설명한다. 본 발명의 실시예에서 특별히 설명하지 않는 부분은 상술한 일 실시예에 따르며, 동일한 번호는 동일한 구성 요소를, 유사한 번호는 유사한 구성 요소를 나타낸다.
- [0247] 도 1a, 도 2, 도 12, 및 도 13을 참조하면, 본 발명의 일 실시예에 따른 표시 장치는 복수의 화소들(PXL)이 제공된 기관(SUB)을 포함할 수 있다. 각 화소(PXL)는 제1 내지 제3 서브 화소들(SP1, SP2, SP3)을 포함할 수 있다.
- [0248] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각은 제1 영역(FA) 및 상기 제1 영역(FA)에 인접한 제2 영역(SA)을 포함할 수 있다.
- [0249] 본 발명의 일 실시예에 있어서, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)에는 해당 서브 화소의 화소 회로부(PCL)가 배치될 수 있고, 상기 해당 서브 화소의 제2 영역(SA)에는 표시 소자층(DPL)이 배치될 수 있다.
- [0250] 편의를 위하여, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)을 우선 설명한 후, 해당 서브 화소의 제2 영역(SA)을 설명한다.
- [0251] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)에서, 화소 회로부(PCL)는 기관(SUB) 상에 제공된 제1 및 제2 트랜지스터(T1, T2)와, 더미 패턴(DMP)과, 구동 전압 배선(DVL)과, 보호층(PDV)을 포함할 수 있다. 또한, 화소 회로부(PCL)는 제1 및 제2 트랜지스터(T1, T2) 각각과 기관(SUB) 사이에 제공된 차광 패턴(SDL)을 더 포함할 수 있다.
- [0252] 제1 트랜지스터(T1)와 제2 트랜지스터(T2) 각각은 반도체층(SCL), 게이트 전극(GE), 소스 전극(SE), 및 드레인 전극(DE)을 포함할 수 있다.
- [0253] 더미 패턴(DMP)은 제1 트랜지스터(T1)의 드레인 전극(DE)과 동일한 층에 제공되며 동일한 물질을 포함할 수 있다. 구체적으로, 더미 패턴(DMP)은 제1 트랜지스터(T1)의 드레인 전극(DE)과 일체로 제공되어, 상기 제1 트랜지스터(T1)의 드레인 전극(DE)과 전기적 및/또는 물리적으로 연결될 수 있다. 제1 트랜지스터(T1)의 드레인 전극(DE)과 더미 패턴(DMP)이 일체로 형성 및/또는 제공되는 경우, 상기 더미 패턴(DMP)을 제1 트랜지스터(T1)의 드레인 전극(DE)의 일 영역으로 간주할 수도 있다.
- [0254] 더미 패턴(DMP)은 제1 트랜지스터(T1)의 드레인 전극(DE)으로부터 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)으로 확장될 수 있다. 특히, 본 발명의 일 실시예에 있어서, 더미 패턴(DMP)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)으로 확장되어 보호층(PDV)의 제1 콘택 홀(CH1)을 통해 해당 서브 화소의 제2 영역(SA)에 배치된 표시 소자층(DPL)과 전기적으로 연결될 수 있다.
- [0255] 구동 전압 배선(DVL)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 주변 영역(PPA)에서 제2 방향(DR2, 일 예로 '수직 방향')으로 연장될 수 있다. 본 발명의 일 실시예에 있어서, 구동 전압 배선(DVL)은 상기 구동 전압 배선(DVL)으로부터 제2 방향(DR2)과 교차하는 제1 방향(DR1, 일 예로 '수평 방향')으로 연장된 추가 도전 패턴(ACP)을 포함할 수 있다.
- [0256] 구동 전압 배선(DVL)과 추가 도전 패턴(ACP)은 동일한 층에 제공되며, 동일한 물질을 포함할 수 있다. 구체적으로, 구동 전압 배선(DVL)과 추가 도전 패턴(ACP)은 일체로 제공되어, 전기적 및/또는 물리적으로 서로 연결될 수 있다. 구동 전압 배선(DVL)과 추가 도전 패턴(ACP)이 일체로 형성 및/또는 제공되는 경우, 추가 도전 패턴(ACP)을 구동 전압 배선(DVL)의 일 영역으로 간주할 수도 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 실시예에 따라 구동 전압 배선(DVL)과 추가 도전 패턴(ACP)이 서로 개별적으로 형성되어, 도시되지 않은 콘택

홀 또는 비아 홀 등을 통해 전기적으로 연결될 수도 있다.

- [0257] 본 발명의 일 실시예에 있어서, 추가 도전 패턴(ACP)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)에 제공될 수 있다. 추가 도전 패턴(ACP)은 보호층(PSV)의 제2 컨택 홀(CH2)을 통해 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)에 배치된 표시 소자층(DPL)의 제2 전극(REL2)과 전기적으로 연결될 수 있다. 상술한 바와 같이, 추가 도전 패턴(ACP)이 구동 전압 배선(DVL)과 일체로 제공됨에 따라, 상기 구동 전압 배선(DVL)에 인가된 제2 구동 전원(도 3a의 VSS 참고)은 추가 도전 패턴(ACP)을 통해 제2 전극(REL2)으로 전달될 수 있다.
- [0258] 보호층(PSV)은 제1 및 제2 트랜지스터(T1, T2), 더미 패턴(DMP), 구동 전압 배선(DVL), 및 추가 도전 패턴(ACP)을 커버하며, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 및 제2 영역(FA, SA)의 기관(SUB) 상에 제공될 수 있다. 본 발명의 일 실시예에 있어서, 보호층(PSV)의 제1 및 제2 컨택 홀(CH1, CH2) 각각은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)에 위치할 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 실시예에 따라, 보호층(PSV)의 제1 컨택 홀(CH1)과 제2 컨택 홀(CH2)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)에 위치할 수도 있다.
- [0259] 다음으로, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)에 대해 설명한다.
- [0260] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)에서, 표시 소자층(DPL)은 격벽(PW)과, 제1 및 제2 전극(REL1, REL2)과, 제1 및 제2 캐핑층(CPL1, CPL2)과, 복수의 발광 소자들(LD)과, 제1 및 제2 컨택 전극(CNE1, CNE2)을 포함할 수 있다.
- [0261] 제1 전극(REL1)과 제2 전극(REL2)은 동일한 면 상에 제공되며, 서로 이격될 수 있다. 제1 전극(REL1)은 보호층(PSV)의 제1 컨택 홀(CH1)과 더미 패턴(DMP)을 통해 제1 영역(FA)의 화소 회로부(PCL)에 포함된 제1 트랜지스터(T1)의 드레인 전극(DE)에 전기적으로 연결될 수 있다. 이에 따라, 제1 트랜지스터(T1)에 인가된 신호가 제1 전극(REL1)으로 전달되어 각 발광 소자(LD)의 양 단부(EP1, EP2) 중 하나의 단부로 최종적으로 공급될 수 있다. 제2 전극(REL2)은 보호층(PSV)의 제2 컨택 홀(CH2)과 추가 도전 패턴(ACP)을 통해 구동 전압 배선(DVL)에 전기적으로 연결될 수 있다. 이에 따라, 구동 전압 배선(DVL)에 인가된 제2 구동 전원(VSS)이 제2 전극(REL2)으로 전달되어 각 발광 소자(LD)의 양 단부(EP1, EP2) 중 나머지 단부로 최종적으로 공급될 수 있다.
- [0262] 제1 캐핑층(CPL1)은 제1 전극(REL1) 상에 제공되며, 상기 제1 전극(REL1)과 전기적 및/또는 물리적으로 연결될 수 있다. 제2 캐핑층(CPL2)은 제2 전극(REL2) 상에 제공되며, 상기 제2 전극(REL2)과 전기적 및/또는 물리적으로 연결될 수 있다. 본 발명의 일 실시예에 있어서, 제1 캐핑층(CPL1)과 제2 캐핑층(CPL2)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)에만 제공될 수 있으나, 이에 한정되는 것은 아니다. 실시예에 따라, 제1 캐핑층(CPL1)과 제2 캐핑층(CPL2)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)으로부터 해당 서브 화소의 제2 영역(SA)까지 연장된 형태로 제공될 수도 있다.
- [0263] 제1 컨택 전극(CNE1)은 발광 소자들(LD) 각각의 양 단부(EP1, EP2) 중 하나의 단부 및 제1 전극(REL1) 상에 제공되어 상기 발광 소자들(LD) 각각의 하나의 단부와 상기 제1 전극(REL1)을 전기적 및/또는 물리적으로 연결할 수 있다. 제2 컨택 전극(CNE2)은 발광 소자들(LD) 각각의 양 단부(EP1, EP2) 중 나머지 단부 및 제2 전극(REL2) 상에 제공되어 상기 발광 소자들(LD) 각각의 나머지 단부와 상기 제2 전극(REL2)을 전기적 및/또는 물리적으로 연결할 수 있다.
- [0264] 본 발명의 일 실시예에 있어서, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)은 제2-1 영역(SA_1)과 제2-2 영역(SA_2)으로 구분될 수 있다. 제2-1 영역(SA_1)은 발광을 위한 구성 요소들을 포함하는 표시 소자층(DPL)이 제공되는 영역이며, 제2-2 영역(SA_2)은 상기 표시 소자층(DPL)이 제공되지 않는 영역일 수 있다. 제2-1 영역(SA_1)과 제2-2 영역(SA_2) 각각은 광이 투과되는 투과 영역(TA)을 포함할 수 있다.
- [0265] 투과 영역(TA)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)에서 표시 소자층(DPL)의 제1 및 제2 전극(REL1, REL2)이 배치되지 않는 영역으로, 광이 방출되지 않는 영역일 수 있다. 투과 영역(TA)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제2 영역(SA)에 표시 소자층(DPL)의 일부 구성 요소들을 배치하지 않는 방식으로 제공되거나 상기 표시 소자층(DPL)의 모든 구성 요소들을 배치하지 않는 방식으로 제공될 수 있다.
- [0266] 상술한 바와 같이, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 제1 영역(FA)에 해당 서브 화소의 화소 회로부(PCL)이 배치되고, 제2 영역(SA)의 일부 영역, 예를 들어, 제2-2 영역(SA_2)에 상기 해당 서브 화소의 표시 소자층(DPL)이 배치되지 않음에 따라, 상기 해당 서브 화소의 개구율이 확보될 수 있다. 특히, 본 발명의 일 실

시에에 따른 표시 장치가 투명 표시 장치인 경우, 각 서브 화소의 개구율이 확보됨에 따라 기관(SUB)의 배면으로 유입되는 광의 투과율이 증가되어 상기 투명 표시 장치의 화질이 향상될 수 있다.

- [0267] 도 14 및 도 15는 도 4의 제1 서브 화소를 다른 실시예에 따라 나타낸 것으로, 표시 소자층의 일부 구성만을 포함한 제1 서브 화소의 개략적인 평면도들이다.
- [0268] 도 14 및 도 15의 제1 서브 화소와 관련하여, 중복된 설명을 피하기 위하여 상술한 일 실시예와 상이한 점을 위주로 설명한다. 본 실시예에서 특별히 설명하지 않은 부분은 상술한 일 실시예에 따르며, 동일한 번호는 동일한 구성 요소를, 유사한 번호는 유사한 구성 요소를 나타낸다.
- [0269] 도 14 및 도 15에서는, 도시의 편의를 위하여 구동 전압 배선과, 격벽과, 제1 및 제2 전극과, 제1 및 제2 캡핑층과, 연결 배선만을 도시하였다.
- [0270] 또한, 도 14 및 도 15에 있어서, 편의를 위하여 제1 전극에 연결되는 트랜지스터 및 상기 트랜지스터에 연결된 신호 배선들의 도시를 생략하였다.
- [0271] 도 1a, 도 2, 도 4, 도 14, 및 도 15를 참조하면, 제1 서브 화소(SP1)는 화소 회로부(도 5의 PCL 참고)가 배치되는 제1 영역(FA)과 상기 제1 영역(FA)에 인접한 제2 영역(SA)을 포함할 수 있다. 본 발명의 일 실시예에 있어서, 제2 영역(SA)은 제2-1 영역(SA_1)과 제2-2 영역(SA_2)을 포함할 수 있다.
- [0272] 제1 서브 화소(SP1)는 기관(SUB), 화소 회로부(PCL), 및 표시 소자층(DPL)을 포함할 수 있다.
- [0273] 화소 회로부(PCL)는 제1 서브 화소(SP1)의 제1 영역(FA)에 배치될 수 있다. 표시 소자층(DPL)은 제1 서브 화소(SP1)의 제1 영역(FA)과 제2 영역(SA)에 각각 제공될 수 있다.
- [0274] 제1 영역(FA)에서, 표시 소자층(DPL)은 화소 회로부(PCL) 상에 제공되어, 상기 화소 회로부(PCL)와 중첩될 수 있다. 제1 영역(FA)에 위치한 표시 소자층(DPL)은 격벽(PW)과, 제1 및 제2 전극(REL1, REL2)과, 제1 및 제2 캡핑층(CPL1, CPL2)과, 연결 배선(CNL)과, 제1 및 제2 브릿지 패턴(BRP1, BRP2) 등을 포함할 수 있다. 또한, 제1 영역(FA)에서, 표시 소자층(DPL)은 도면에 직접적으로 도시하지 않았으나, 제1 전극(REL1)과 제2 전극(REL2) 사이에 제공된 복수의 발광 소자들(LD), 상기 제1 전극(REL1) 상에 제공된 제1 컨택 전극(도 5의 CNE1 참고), 및 상기 제2 전극(REL2) 상에 제공된 제2 컨택 전극(도 5의 CNE2 참고)을 더 포함할 수 있다.
- [0275] 제1 전극(REL1)과 제2 전극(REL2) 각각은 격벽(PW) 상에 제공되며, 서로 이격될 수 있다.
- [0276] 제1 전극(REL1)은 제1 브릿지 패턴(BRP1)에 연결될 수 있다. 일 예로, 제1 전극(REL1)은 제1 브릿지 패턴(BRP1)과 일체로 제공되어 상기 제1 브릿지 패턴(BRP1)과 전기적 및/또는 물리적으로 연결될 수 있다. 제1 전극(REL1)은 제1 브릿지 패턴(BRP1)으로부터 제2 방향(DR2, 일 예로 '수직 방향')을 따라 분기된 제1-1 전극(REL1_1)과 제1-2 전극(REL1_2)을 포함할 수 있다. 제1 전극(REL1)과 제1 브릿지 패턴(BRP1)이 일체로 형성 및/또는 제공되는 경우, 제1 브릿지 패턴(BRP1)을 제1 전극(REL1)의 일 영역으로 간주할 수도 있다. 다만, 본 발명이 이에 한정되지는 않는다. 예를 들어, 실시예에 따라, 제1 전극(REL1)과 제1 브릿지 패턴(BRP1)이 서로 개별적으로 형성되어 도시되지 않은 컨택 홀 또는 비아 홀 등을 통해 서로 전기적으로 연결될 수도 있다.
- [0277] 본 발명의 일 실시예에 있어서, 제1 브릿지 패턴(BRP1)은 제1 서브 화소(SP1)에서 제2 방향(DR2)에 교차한 제1 방향(DR1)을 따라 연장될 수 있다. 제1 브릿지 패턴(BRP1)은 제1 서브 화소(SP1)를 인접한 서브 화소들로부터 독립적으로 구동하기 위해 상기 제1 서브 화소(SP1) 내에만 제공될 수 있다. 제1 브릿지 패턴(BRP1)은 보호층(PSV)의 제1 컨택 홀(CH1)을 통해 제1 영역(FA)의 화소 회로부(PCL)에 포함된 제1 트랜지스터(도 5의 T1 참고)에 전기적으로 연결될 수 있다. 제1 브릿지 패턴(BRP1)은 제1 전극(REL1)과 일체로 제공되므로, 제1 트랜지스터(T1)에 인가된 신호는 상기 제1 브릿지 패턴(BRP1)을 통해 제1 전극(REL1)으로 전달될 수 있다.
- [0278] 제2 전극(REL2)은 제1-2 전극(REL1_2)을 사이에 두고 서로 이격된 제2-1 전극(REL2_1)과 제2-2 전극(REL2_2)을 포함할 수 있다. 제2-1 전극(REL2_1)과 제2-2 전극(REL2_2)은 제1 서브 화소(SP1)의 제1 영역(FA)에서 제2 방향(DR2)으로 연장될 수 있다. 제2 전극(REL2)은 제2 캡핑층(CPL2)과 일체로 제공되는 연결 배선(CNL)에 전기적 및/또는 물리적으로 연결될 수 있다.
- [0279] 제1 캡핑층(CPL1)은 제2 브릿지 패턴(BRP2)에 연결될 수 있다. 일 예로, 제1 캡핑층(CPL1)은 제2 브릿지 패턴(BRP2)과 일체로 제공되어 상기 제1 브릿지 패턴(BRP1)과 전기적 및/또는 물리적으로 연결될 수 있다. 제1 캡핑층(CPL1)과 제2 브릿지 패턴(BRP2)이 일체로 형성 및/또는 제공되는 경우, 제2 브릿지 패턴(BRP2)을 제1 캡핑층(CPL1)의 일 영역으로 간주할 수도 있다. 다만, 본 발명이 이에 한정되지는 않는다. 예를 들어, 실시예에 따라,

제1 캡핑층(CPL1)과 제2 브릿지 패턴(BRP2)이 서로 개별적으로 형성되어 도시되지 않은 콘택 홀 및 비아 홀 등을 통해 서로 전기적으로 연결될 수도 있다.

[0280] 제1 캡핑층(CPL1)은 제2 브릿지 패턴(BRP2)으로부터 제2 방향(DR2)을 따라 분기된 제1-1 캡핑층(CPL1_1)과 제1-2 캡핑층(CPL1_2)을 포함할 수 있다. 제1-1 캡핑층(CPL1_1)은 제1-1 전극(REL1_1) 상에 제공되고, 제1-2 캡핑층(CPL1_2)은 제1-2 전극(REL1_2) 상에 제공될 수 있다.

[0281] 제2 브릿지 패턴(BRP2)은 제1 서브 화소(SP1)에서 제1 방향(DR1)을 따라 연장될 수 있다. 제2 브릿지 패턴(BRP2)은 제1 브릿지 패턴(BRP1) 상에 제공되어, 상기 제1 브릿지 패턴(BRP1)과 전기적 및/또는 물리적으로 연결될 수 있다. 평면 상에서 볼 때, 제2 브릿지 패턴(BRP2)은 제1 브릿지 패턴(BRP1)과 중첩할 수 있다. 실시예에 따라, 제2 브릿지 패턴(BRP2)은 생략될 수 있다. 제2 브릿지 패턴(BRP2)이 생략된 경우, 제1-1 캡핑층(CPL1_1)과 제1-2 캡핑층(CPL1_2)은 서로 이격되어 전기적 및/또는 물리적으로 분리될 수 있다.

[0282] 제2 캡핑층(CPL2)은 연결 배선(CNL)에 연결될 수 있다. 일 예로, 제2 캡핑층(CPL2)은 연결 배선(CNL)과 일체로 제공되어 상기 연결 배선(CNL)과 전기적 및/또는 물리적으로 연결될 수 있다. 제2 캡핑층(CPL2)과 연결 배선(CNL)이 일체로 형성 및/또는 제공되는 경우, 연결 배선(CNL)을 제2 캡핑층(CPL2)의 일 영역으로 간주할 수도 있다. 다만, 본 발명이 이에 한정되지는 않는다. 예를 들어, 실시예에 따라, 제2 캡핑층(CPL2)과 연결 배선(CNL)이 서로 개별적으로 형성되어 도시되지 않은 콘택 홀 및 비아 홀 등을 통해 서로 전기적으로 연결될 수 있다.

[0283] 제2 캡핑층(CPL2)은 연결 배선(CNL)으로부터 제2 방향(DR2)을 따라 분기된 제2-1 캡핑층(CPL2_1)과 제2-2 캡핑층(CPL2_2)을 포함할 수 있다. 제2-1 캡핑층(CPL2_1)은 제2-1 전극(REL2_1) 상에 제공되고, 제2-2 캡핑층(CPL2_2)은 제2-2 전극(REL2_2) 상에 제공될 수 있다.

[0284] 연결 배선(CNL)은 제1 및 제2 브릿지 패턴(BRP1, BRP2)의 연장 방향과 평행하게 연장될 수 있다. 연결 배선(CNL)은 제2 캡핑층(CPL2)과 동일한 층에 제공되며, 동일한 물질을 포함할 수 있다. 연결 배선(CNL)은 보호층(PSV)의 제2 콘택 홀(CH2)을 통해 제1 서브 화소(SP1)의 구동 전압 배선(DVL)에 연결될 수 있다. 이로 인하여, 구동 전압 배선(DVL)에 인가된 제2 구동 전원(도 3a의 VSS 참고)은 연결 배선(CNL)으로 전달될 수 있다.

[0285] 제2 영역(SA)에서, 표시 소자층(DPL)은 일부 영역에만 제공될 수 있다. 예를 들어, 표시 소자층(DPL)은 제2 영역(SA)의 제2-1 영역(SA_1)에만 제공될 수 있으며, 제2 영역(SA)의 제2-2 영역(SA_2)에는 제공되지 않을 수 있다. 본 발명의 일 실시예에 있어서, 제2-2 영역(SA_2)은 표시 소자층(DPL)이 배치되지 않는 영역으로, 도 14에 도시된 바와 같이, 제1 영역(FA)과 제2-1 영역(SA_1) 사이에 위치할 수 있으나, 이에 한정되는 것은 아니다. 실시예에 따라, 제2-2 영역(SA_2)은 도 15에 도시된 바와 같이, 제2-1 영역(SA_1)을 사이에 두고 제1 영역(FA)과 이격되게 위치할 수도 있다.

[0286] 제2-1 영역(SA_1)에 제공된 표시 소자층(DPL)은 제1 영역(FA)에 제공된 표시 소자층(DPL)과 동일한 구성을 가지므로, 제2-1 영역(SA_1)에 제공된 표시 소자층(DPL)에 대한 설명은 상기 제1 영역(FA)에 제공된 표시 소자층(DPL)에 대한 설명으로 대신한다.

[0287] 본 발명의 일 실시예에 있어서, 제1 영역(FA)에 위치한 제1 전극(REL1)과 제2-1 영역(SA_1)에 위치한 제1 전극(REL1)은 동일한 트랜지스터, 예를 들면, 상기 제1 영역(FA)에 제공된 화소 회로부(PCL)의 제1 트랜지스터(T1)에 전기적으로 연결될 수 있다.

[0288] 제2-2 영역(SA_2)은 표시 소자층(DPL)이 제공되지 않는 영역이며, 광이 투과되는 투과 영역(TA)을 포함할 수 있다. 투과 영역(TA)은 표시 소자층(DPL)의 일부 구성, 예를 들면, 제1 및 제2 전극(REL1, REL2)이 배치되지 않는 영역으로, 광이 방출되지 않는 영역일 수 있다. 투과 영역(TA)은, 도 14에 도시된 바와 같이, 제1 서브 화소(SP1)의 가운데 영역에 대응되도록 위치할 수 있으나, 이에 한정되는 것은 아니다. 실시예에 따라, 투과 영역(TA)은, 도 15에 도시된 바와 같이, 제1 서브 화소(SP1)의 하부 영역에 대응되도록 위치할 수 있다. 본 발명의 일 실시예에 있어서, 투과 영역(TA)의 위치는 제1 서브 화소(SP1)의 제2-2 영역(SA_2)에 따라 결정될 수 있다.

[0289] 본 발명의 일 실시예에 있어서, 투과 영역(TA)은 제2-2 영역(SA_2)과 동일한 면적(또는 크기)을 갖거나 상기 제2-2 영역(SA_2)보다 큰 면적을 가질 수 있다. 투과 영역(TA)은 제2-2 영역(SA_2)에서 표시 소자층(DPL)의 모든 구성 요소들을 배치하지 않는 방식으로 제공될 수 있다. 그러나, 본 발명이 이에 한정되는 것은 아니며, 실시예에 따라, 투과 영역(TA)은 제2-2 영역(SA_2)에서 표시 소자층(DPL)의 일부 구성 요소들을 배치하지 않는 방식으로 제공될 수도 있다.

- [0290] 상술한 바와 같이, 제1 서브 화소(SP1)의 제1 영역(FA)에 해당 서브 화소의 화소 회로부(PCL) 및 표시 소자층(DPL)을 배치하고, 상기 제1 서브 화소(SP1)의 제2-2 영역(SA_2)에 상기 표시 소자층(DPL)을 배치하지 않음에 따라, 상기 제1 서브 화소(SP1)의 개구율이 더욱 확보될 수 있다.
- [0291] 도 16은 도 14의 제1 서브 화소를 다른 실시예에 따라 나타낸 것으로, 표시 소자층의 일부 구성만을 포함한 제1 서브 화소의 개략적인 평면도이다.
- [0292] 도 16의 제1 서브 화소와 관련하여, 중복된 설명을 피하기 위하여 상술한 일 실시예와 상이한 점을 위주로 설명한다. 본 실시예에서 특별히 설명하지 않은 부분은 상술한 일 실시예에 따르며, 동일한 번호는 동일한 구성 요소를, 유사한 번호는 유사한 구성 요소를 나타낸다.
- [0293] 도 16에서는, 도시의 편의를 위하여 구동 전압 배선과, 격벽과, 제1 및 제2 전극과, 제1 및 제2 캡핑층과, 연결 배선만을 도시하였다.
- [0294] 또한, 도 16에 있어서, 편의를 위하여 제1 전극에 연결되는 트랜지스터 및 상기 트랜지스터에 연결된 신호 배선들의 도시를 생략하였다.
- [0295] 도 1a, 도 2, 도 14, 및 도 16을 참조하면, 제1 서브 화소(SP1)는 제1 영역(FA) 및 상기 제1 영역(FA)에 인접한 제2 영역(SA)을 포함할 수 있다. 또한, 제1 서브 화소(SP1)는 기관(SUB), 화소 회로부(도 5의 PCL 참고), 및 표시 소자층(도 5의 DPL 참고)을 포함할 수 있다.
- [0296] 제1 서브 화소(SP1)의 제1 영역(FA)에는 화소 회로부(PCL) 및 표시 소자층(DPL)이 제공될 수 있다. 제1 영역(FA)에 표시 소자층(DPL)이 제공될 경우, 상기 표시 소자층(DPL)은 해당 서브 화소(SP1)의 화소 회로부(PCL) 상에 제공되어 상기 화소 회로부(PCL)와 중첩될 수 있다. 제1 서브 화소(SP1)의 제2 영역(SA)에는 표시 소자층(DPL)만이 제공될 수 있다.
- [0297] 제1 영역(FA)과 제2 영역(SA) 각각에 제공된 표시 소자층(DPL)은 동일한 구성을 가질 수 있다. 본 발명의 일 실시예에 있어서, 표시 소자층(DPL)은 격벽(PW)과, 제1 및 제2 전극(REL1, REL2)과, 제1 및 제2 캡핑층(CPL1, CPL2)과, 연결 배선(CNL)과, 제1 및 제2 브릿지 패턴(BRP1, BPR2) 등을 포함할 수 있다.
- [0298] 본 발명의 일 실시예에 있어서, 제1 영역(FA)에 위치한 제1 전극(REL1)과 제2 영역(SA)에 위치한 제1 전극(REL2)은 동일한 트랜지스터, 예를 들면, 상기 제1 영역(FA)에 제공된 화소 회로부(PCL)의 제1 트랜지스터(도 5의 T1 참고)에 전기적으로 연결될 수 있다.
- [0299] 제2 영역(SA)은 광이 투과되는 투과 영역(TA)을 포함할 수 있다. 투과 영역(TA)은 표시 소자층(DPL)의 일부 구성, 예를 들면, 일정한 반사율을 갖는 도전성 재료로 이루어진 제1 전극(REL1)과 제2 전극(REL2)이 배치되지 않는 영역으로, 광이 방출되지 않는 영역일 수 있다. 본 발명의 일 실시예에 있어서, 투과 영역(TA)은 제2 영역(SA)에서 표시 소자층(DPL)의 일부 구성 요소들을 배치하지 않는 방식으로 제공될 수 있다.
- [0300] 상술한 바와 같이, 제1 서브 화소(SP1)의 제2 영역(SA)이 투과 영역(TA)을 포함할 경우, 상기 제1 서브 화소(SP1)의 개구율이 향상될 수 있으며, 광 투과율도 증가할 수 있다.
- [0301] 도 17은 도 8의 제1 서브 화소를 다른 실시예에 따라 나타낸 것으로, 표시 소자층의 일부 구성만을 포함한 제1 서브 화소의 개략적인 평면도이다.
- [0302] 도 17의 제1 서브 화소와 관련하여, 중복된 설명을 피하기 위하여 상술한 일 실시예와 상이한 점을 위주로 설명한다. 본 실시예에서 특별히 설명하지 않은 부분은 상술한 일 실시예에 따르며, 동일한 번호는 동일한 구성 요소를, 유사한 번호는 유사한 구성 요소를 나타낸다.
- [0303] 도 17에서는, 도시의 편의를 위하여 구동 전압 배선과, 격벽과, 제1 및 제2 전극과, 제1 및 제2 캡핑층과, 연결 배선만을 도시하였다.
- [0304] 또한, 도 17에 있어서, 편의를 위하여 제1 전극에 연결되는 트랜지스터 및 상기 트랜지스터에 연결된 신호 배선들의 도시를 생략하였다.
- [0305] 도 1a, 도 2, 도 8, 및 도 17을 참조하면, 제1 서브 화소(SP1)는 화소 회로부(도 5의 PCL 참고)가 배치되는 제1 영역(FA)과 상기 제1 영역(FA)에 인접한 제2 영역(SA)을 포함할 수 있다. 제1 영역(FA)과 제2 영역(SA) 각각에는 제1 서브 화소(SP1)의 표시 소자층(도 5의 DPL 참고)이 제공될 수 있다.
- [0306] 제1 영역(FA)에서, 표시 소자층(DPL)은 격벽(PW)과, 제1 및 제2 전극(REL1, REL2)과, 제1 및 제2 캡핑층(CPL1,

CPL2)과, 연결 배선(CNL)을 포함할 수 있다. 제2 영역(FA)에서, 표시 소자층(DPL)도 격벽(PW)과, 제1 및 제2 전극(REL1, REL2)과, 제1 및 제2 캡핑층(CPL1, CPL2)과, 연결 배선(CNL)을 포함할 수 있다.

- [0307] 제1 및 제2 영역(FA, SA) 각각에 제공된 표시 소자층(DPL)은, 평면 상에서 볼 때, 제1 서브 화소(SP1)의 일측, 예를 들어, 우측으로 편중되어 배치될 수 있으나, 이에 한정되는 것은 아니다. 실시예에 따라, 제1 및 제2 영역(FA, SA) 각각에 제공된 표시 소자층(DPL)은, 평면 상에서 볼 때, 제1 서브 화소(SP1)의 좌측 또는 가운데 영역으로 편중되어 배치될 수도 있다.
- [0308] 상술한 바와 같이, 제1 서브 화소(SP1)의 제2 영역(SA)에서 표시 소자층(DPL)이 일부 영역에 편중되어 배치되는 경우, 상기 제2 영역(SA)의 나머지 영역(일 예로, 표시 소자층(DPL)이 배치되지 않는 영역)에서 광이 투과되는 투과 영역(TA)이 더욱 확보될 수 있다. 이에 따라, 제1 서브 화소(SP1)의 개구율이 향상될 수 있으며, 상기 제1 서브 화소(SP1)의 광 투과율도 증가할 수 있다.
- [0309] 도 18은 도 4의 제1 서브 화소를 다른 실시예에 따라 나타낸 것으로, 표시 소자층의 일부 구성만을 포함한 제1 서브 화소의 개략적인 평면도이다.
- [0310] 도 18에서는, 도시의 편의를 위하여 구동 전압 배선과, 격벽과, 제1 및 제2 전극과, 제1 및 제2 캡핑층과, 연결 배선만을 도시하였다.
- [0311] 또한, 도 18에 있어서, 편의를 위하여 제1 전극에 연결되는 트랜지스터 및 상기 트랜지스터에 연결된 신호 배선들의 도시를 생략하였다.
- [0312] 도 1a, 도 2, 도 4, 및 도 18을 참조하면, 제1 서브 화소(SP1)는 기관(SUB), 화소 회로부(도 5의 PCL 참고), 및 표시 소자층(도 5의 DPL 참고)을 포함할 수 있다. 또한, 제1 서브 화소(SP1)는 제1 영역(FA)과 제2 영역(SA)을 포함할 수 있다. 본 발명의 일 실시예에 있어서, 제1 영역(FA)은 화소 회로부(PCL)가 배치되는 영역이고, 제2 영역(SA)은 상기 제1 영역(FA)에 인접한 영역일 수 있다.
- [0313] 제1 영역(FA)에는 화소 회로부(PCL) 및 표시 소자층(DPL)이 제공될 수 있다.
- [0314] 화소 회로부(PCL)는 기관(SUB) 상에 제공된 제1 및 제2 트랜지스터(도 5의 T1 및 T2 참고)와, 구동 전압 배선(DVL)과, 제1 및 제2 콘택 홀(CH1, CH2)을 구비한 보호층(도 5의 PSV 참고)을 포함할 수 있다.
- [0315] 표시 소자층(DPL)은 격벽(PW)과, 제1 및 제2 전극(REL1, REL2)과, 제1 및 제2 캡핑층(CPL1, CPL2)과, 연결 배선(CNL) 등을 포함할 수 있다. 또한, 표시 소자층(DPL)은, 도면에 직접적으로 도시하지 않았으나, 제1 전극(REL1)과 제2 전극(REL2) 사이에 정렬된 복수의 발광 소자들(LD)과, 상기 제1 전극(REL1) 상에 제공된 제1 콘택 전극(CNE1), 및 상기 제2 전극(REL2) 상에 제공된 제2 콘택 전극(CNE2)을 더 포함할 수 있다.
- [0316] 격벽(PW)은 보호층(PSV) 상에 제공되며, 평면 상에서 볼 때, 제2 방향(DR2, 일 예로 '수직 방향')을 따라 제1 서브 화소(SP1)의 제1 영역(FA)으로부터 제2 영역(SA)까지 연장될 수 있다.
- [0317] 제1 전극(REL1)과 제2 전극(REL2) 각각은 격벽(PW) 상에 제공되며, 서로 이격될 수 있다. 본 발명의 일 실시예에 있어서, 제1 전극(REL1)과 제2 전극(REL2)은 격벽(PW)에 대응하는 형태로 제공될 수 있다. 구체적으로, 제1 전극(REL1)과 제2 전극(REL2) 각각은 제2 방향(DR2)을 따라 제1 서브 화소(SP1)의 제1 영역(FA)으로부터 제2 영역(SA)까지 연장된 바(Bar) 형상을 가질 수 있다.
- [0318] 제1 전극(REL1)은 보호층(PSV)의 제1 콘택 홀(CH1)을 통해 화소 회로부(PCL)의 제1 트랜지스터(T1)에 전기적으로 연결될 수 있다. 제2 전극(REL2)은 연결 배선(CNL)을 통해 구동 전압 배선(DVL)에 전기적으로 연결될 수 있다.
- [0319] 제1 캡핑층(CPL1)은 제1 전극(REL1) 상에 제공되며, 상기 제1 전극(REL1)에 대응하는 형태로 제공될 수 있다. 즉, 제1 캡핑층(CPL1)은 제2 방향(DR2)을 따라 제1 서브 화소(SP1)의 제1 영역(FA)으로부터 제2 영역(SA)까지 연장된 바(Bar) 형상을 가질 수 있다. 제2 캡핑층(CPL2)은 제2 전극(REL2) 상에 제공되며, 상기 제2 전극(REL2)에 대응하는 형태로 제공될 수 있다. 즉, 제2 캡핑층(CPL2)도 제2 방향(DR2)을 따라 제1 서브 화소(SP1)의 제1 영역(FA)으로부터 제2 영역(SA)까지 연장된 바(Bar) 형상을 가질 수 있다.
- [0320] 연결 배선(CNL)은 제2 방향(DR2)과 교차하는 제1 방향(DR1, 일 예로 '수평 방향')으로 연장될 수 있다. 연결 배선(CNL)은 제2 캡핑층(CPL2)과 동일한 층에 제공되며, 동일한 물질을 포함할 수 있다. 구체적으로, 연결 배선(CNL)과 제2 캡핑층(CPL2)은 일체로 제공되어, 전기적 및/또는 물리적으로 서로 연결될 수 있다. 제2 캡핑층(CPL2)과 연결 배선(CNL)이 일체로 형성 및/또는 제공되는 경우, 연결 배선(CNL)을 제2 캡핑층(CPL2)의 일 영역

으로 간주할 수도 있다.

- [0321] 연결 배선(CNL)은 보호층(PSV)의 제2 콘택 홀(CH2)을 통해 구동 전압 배선(DVL)에 연결되며, 상기 구동 전압 배선(DVL)에 인가된 제2 구동 전원(도 3a의 VSS 참고)을 제2 캐핑층(CPL2)을 통해 제2 전극(REL2)으로 전달할 수 있다.
- [0322] 본 발명의 일 실시예에 있어서, 제1 서브 화소(SP1)에 제공된 표시 소자층(DPL)은, 평면 상에서 볼 때, 상기 제1 서브 화소(SP1)의 가운데 영역으로 편중되어 배치될 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 실시예에 따라, 제1 서브 화소(SP1)에 제공된 표시 소자층(DPL)은, 평면 상에서 볼 때, 상기 제1 서브 화소(SP1)의 우측 또는 좌측 영역으로 편중되어 배치될 수도 있다.
- [0323] 상술한 바와 같이, 제1 서브 화소(SP1)의 제1 영역(FA)과 제2 영역(SA)에서 표시 소자층(DPL)이 일부 영역으로 편중되어 배치되는 경우, 상기 제2 영역(SA)의 나머지 영역(일 예로, 표시 소자층(DPL)이 배치되지 않는 영역)에서 광이 투과되는 투과 영역(TA)이 더욱 확보될 수 있다. 이에 따라, 제1 서브 화소(SP1)의 개구율이 향상될 수 있으며, 상기 제1 서브 화소(SP1)의 광 투과율도 증가할 수 있다.
- [0324] 본 발명의 일 실시예에 있어서, 투과 영역(TA)은 제1 서브 화소(SP1)의 제2 영역(SA)에서 표시 소자층(DPL)이 배치된 가운데 영역을 사이에 둔 좌측 영역 및 우측 영역을 포함할 수 있다. 그러나, 본 발명이 이에 한정되는 것은 아니며, 투과 영역(TA)은 제1 서브 화소(SP1)의 제2 영역(SA)에서 표시 소자층(DPL)의 제1 및 제2 전극(REL1, REL2)이 배치된 영역을 제외한 나머지 영역을 모두 포함할 수 있다.
- [0325] 도 19는 도 18의 제1 서브 화소를 다른 실시예에 따라 나타낸 것으로, 표시 소자층의 일부 구성만을 포함한 제1 서브 화소의 개략적인 평면도이다.
- [0326] 도 19의 제1 서브 화소는 제1 전극이 제1-1 전극과 제1-2 전극을 포함하고 상기 제1-1 전극과 상기 제1-2 전극이 제1 브릿지 패턴과 일체로 제공되는 점을 제외하고는 도 18의 제1 서브 화소와 실질적으로 동일하거나 유사한 구성을 가질 수 있다.
- [0327] 이에, 도 19의 제1 서브 화소와 관련하여, 중복된 설명을 피하기 위하여 상술한 일 실시예와 상이한 점을 위주로 설명한다. 본 발명의 일 실시예에 있어서 특별히 설명하지 않는 부분은 상술한 일 실시예에 따르며, 동일한 번호는 동일한 구성 요소를, 유사한 번호는 유사한 구성 요소를 나타낸다.
- [0328] 도 19에서는, 도시의 편의를 위하여 구동 전압 배선과, 격벽과, 제1 및 제2 전극과, 제1 및 제2 캐핑층과, 연결 배선과, 제1 및 제2 브릿지 패턴만을 도시하였다.
- [0329] 또한, 도 19에 있어서, 편의를 위하여 제1 전극에 연결되는 트랜지스터 및 상기 트랜지스터에 연결된 신호 배선들의 도시를 생략하였다.
- [0330] 도 1a, 도 2, 및 도 19를 참조하면, 제1 서브 화소(SP1)는 기관(SUB), 화소 회로부(도 5의 PCL 참고), 및 표시 소자층(도 5의 DPL 참고)을 포함할 수 있다. 또한, 제1 서브 화소(SP1)는 제1 영역(FA)과 제2 영역(SA)을 포함할 수 있다. 본 발명의 일 실시예에 있어서, 제1 영역(FA)은 화소 회로부(PCL)가 배치되는 영역이고, 제2 영역(SA)은 상기 제1 영역(FA)에 인접한 영역일 수 있다.
- [0331] 제1 영역(FA)에는 화소 회로부(PCL) 및 표시 소자층(DPL)이 제공될 수 있다.
- [0332] 제1 영역(FA)에서, 표시 소자층(DPL)은 격벽(PW)과, 제1 및 제2 전극(REL1, REL2)과, 제1 및 제2 캐핑층(CPL1, CPL2)과, 제1 및 제2 브릿지 패턴(BRP1, BRP2)과, 연결 배선(CNL) 등을 포함할 수 있다. 또한, 표시 소자층(DPL)은 도면에 직접적으로 도시하지 않았으나, 복수의 발광 소자들(LD)과, 제1 콘택 전극(도 5의 CNE1 참고), 및 제2 콘택 전극(도 5의 CNE2 참고)을 더 포함할 수 있다.
- [0333] 제1 전극(REL1)은 제1 방향(DR1, 일 예로 '수평 방향')으로 연장된 제1 브릿지 패턴(BRP1)에 연결될 수 있다. 제1 전극(REL1)은 제1 브릿지 패턴(BRP1)으로부터 제1 방향(DR1)과 교차하는 제2 방향(DR2)을 따라 분기된 제1-1 전극(REL1_1)과 제1-2 전극(REL1_2)을 포함할 수 있다. 제1-1 전극(REL1_1)과 제1-2 전극(REL1_2)은 제1 서브 화소(SP1)의 제1 영역(FA)으로부터 제2 영역(SA)까지 연장된 바(Bar) 형상을 가질 수 있다. 제1-1 전극(REL1_1)과 제1-2 전극(REL1_2)은 제1 브릿지 패턴(BRP1)과 일체로 제공되어, 상기 제1 브릿지 패턴(BRP1)에 전기적 및/또는 물리적으로 연결될 수 있다.
- [0334] 제2 전극(REL2)은 제2 방향(DR2)을 따라 제1 서브 화소(SP1)의 제1 영역(FA)으로부터 제2 영역(SA)까지 연장된 바(Bar) 형상을 가질 수 있다. 제2 전극(REL2)은 제1-1 전극(REL1_1)과 제1-2 전극(REL1_2) 사이에 제공되며

상기 제1-1 및 제1-2 전극(REL1_1, REL1_2)에 각각 이격될 수 있다.

- [0335] 제1 전극(REL1)과 제2 전극(REL2)이 상술한 바와 같은 구성을 갖는 경우, 제1 서브 화소(SP1)에 발광 소자들(LD)을 정렬할 때, 상기 발광 소자들(LD)은 제1-1 전극(REL1_1)과 제2 전극(REL2) 사이 및 상기 제2 전극(REL2)과 제1-2 전극(REL1_2) 사이에 정렬될 수 있다. 또한, 제1 전극(REL1)과 제2 전극(REL2)이 제1 서브 화소(SP1)의 제1 영역(FA)으로부터 제2 영역(SA)까지 연장된 형상으로 제공됨에 따라, 발광 소자들(LD)은 상기 제1 서브 화소(SP1)의 제1 및 제2 영역(FA, SA)에 걸쳐 고르게 정렬될 수 있다. 이러한 경우, 제1 서브 화소(SP1)에 정렬된 발광 소자들(LD)의 수가 증가하여 상기 제1 서브 화소(SP)에서 방출되는 광의 세기가 향상될 수 있다.
- [0336] 본 발명의 일 실시예에 있어서, 제1 서브 화소(SP1)의 제2 영역(SA)은 광이 투과되는 투과 영역(TA)을 포함할 수 있다. 투과 영역(TA)은 기관(SUB)의 배면 및/또는 전면을 통해 유입된 광의 투과를 방해하는 구성 요소, 일 예로, 화소 회로부(PCL) 및 표시 소자층(DPL)을 배치하지 않는 방식으로 제공될 수 있다.
- [0337] 본 발명의 일 실시예에 있어서, 표시 소자층(DPL)은, 평면 상에서 볼 때, 제1 서브 화소(SP1)의 일측, 예를 들어, 우측 영역으로 편중되게 배치될 수 있다. 제1 서브 화소(SP1)에서 표시 소자층(DPL)이 특정 영역으로 편중되게 배치될 경우, 제1 서브 화소(SP1)의 나머지 영역, 일 예로, 표시 소자층(DPL)이 배치되지 않는 영역에서 투과 영역(TA)이 더욱 확보될 수 있다. 이에 따라, 제1 서브 화소(SP1)의 개구율이 향상되고 상기 제1 서브 화소(SP1)의 광 투과율이 증가할 수 있다.
- [0338] 도 20은 도 10의 제1 서브 화소를 다른 실시예에 따라 나타낸 것으로, 표시 소자층의 일부 구성만을 포함한 제1 서브 화소의 개략적인 평면도이다.
- [0339] 도 20의 제1 서브 화소는 제1 전극이 제1-1 전극과 제1-2 전극을 포함하는 점을 제외하고는 도 10의 제1 서브 화소와 실질적으로 동일하거나 유사한 구성을 가질 수 있다.
- [0340] 이에, 도 20의 제1 서브 화소와 관련하여, 중복된 설명을 피하기 위하여 상술한 일 실시예와 상이한 점을 위주로 설명한다. 본 발명의 일 실시예에 있어서 특별히 설명하지 않는 부분은 상술한 일 실시예에 따르며, 동일한 번호는 동일한 구성 요소를, 유사한 번호는 유사한 구성 요소를 나타낸다.
- [0341] 도 20에서는, 도시의 편의를 위하여 구동 전압 배선과, 격벽과, 제1 및 제2 전극과, 제1 및 제2 캡핑층과, 연결 배선과, 제1 및 제2 브릿지 패턴만을 도시하였다.
- [0342] 또한, 도 20에 있어서, 편의를 위하여 제1 전극에 연결되는 트랜지스터 및 상기 트랜지스터에 연결된 신호 배선들의 도시를 생략하였다.
- [0343] 도 1a, 도 2, 도 10, 및 도 20을 참조하면, 제1 서브 화소(SP1)는 화소 회로부(도 5의 PCL 참고), 및 표시 소자층(도 5의 DPL 참고)을 포함할 수 있다. 또한, 제1 서브 화소(SP1)는 제1 영역(FA)과 제2 영역(SA)을 포함할 수 있다. 본 발명의 일 실시예에 있어서, 제1 영역(FA)은 화소 회로부(PCL)가 배치되는 영역이고, 제2 영역(SA)은 상기 제1 영역(FA)에 인접한 영역일 수 있다.
- [0344] 제1 영역(FA)에는 화소 회로부(PCL) 및 표시 소자층(DPL)이 제공될 수 있고, 제2 영역(SA)에는 상기 화소 회로부(PCL) 및 상기 표시 소자층(DPL)이 제공되지 않을 수 있다. 제1 영역(FA)에서 표시 소자층(DPL)은 화소 회로부(PCL) 상에 제공되어, 상기 화소 회로부(PCL)에 중첩될 수 있다.
- [0345] 표시 소자층(DPL)은 격벽(PW)과, 제1 및 제2 전극(REL1, REL2)과, 제1 및 제2 캡핑층(CPL1, CPL2)과, 제1 및 제2 브릿지 패턴(BRP1, BRP2)과, 연결 배선(CNL) 등을 포함할 수 있다. 또한, 표시 소자층(DPL)은 도면에 직접적으로 도시하지 않았으나, 복수의 발광 소자들(LD)과, 제1 컨택 전극(CNE1), 및 제2 컨택 전극(CNE2)을 더 포함할 수 있다.
- [0346] 제1 전극(REL1)은 제1 브릿지 패턴(BRP1)에 연결되며, 상기 제1 브릿지 패턴(BRP1)으로부터 제2 방향(DR2, 일 예로 '수직 방향')을 따라 분기된 제1-1 전극(REL1_1)과 제1-2 전극(REL1_2)을 포함할 수 있다. 제1-1 전극(REL1_1)과 제1-2 전극(REL1_2)은 제1 서브 화소(SP1)의 제1 영역(FA)에서 제2 전극(REL2)을 사이에 두고 이격될 수 있다.
- [0347] 제1-1 전극(REL1_1), 제1-2 전극(REL1_2), 및 제1 브릿지 패턴(BRP1)은 일체로 제공되어 전기적 및/또는 물리적으로 서로 연결될 수 있다.
- [0348] 제2 전극(REL2)은 제2 방향(DR2)을 따라 제1 서브 화소(SP1)의 제1 영역(FA)에 제공될 수 있다. 제2 전극

(REL2)은 제1-1 전극(REL1_1)과 제1-2 전극(REL1_2) 사이에 제공되며 상기 제1-1 및 제1-2 전극(REL1_1, REL1_2)에 각각 이격될 수 있다.

[0349] 제1 전극(REL1)과 제2 전극(REL2)이 제1 서브 화소(SP1)의 제1 영역(FA)에만 제공되는 경우, 상기 제1 서브 화소(SP1)에 발광 소자들(LD)을 정렬할 때, 상기 발광 소자들(LD)은 제1-1 전극(REL1_1)과 제2 전극(REL2) 사이 및 제2 전극(REL2)과 제1-2 전극(REL1_2) 사이에 정렬될 수 있다. 즉, 발광 소자들(LD)은 제1 서브 화소(SP1)의 제1 영역(FA)에만 정렬될 수 있다. 이러한 경우, 표시 소자층(DPL)이 배치되지 않는 방식으로 제공되는 투과 영역(TA)이 제1 서브 화소(SP1)의 제2 영역(SA)의 면적(또는 크기)과 동일한 면적을 가질 수 있다. 즉, 제1 서브 화소(SP1)의 투과 영역(TA)은 제2 영역(SA)이 될 수 있다.

[0350] 상술한 바와 같이, 제1 서브 화소(SP1)의 특정 영역, 즉, 제1 영역(FA)에 해당 서브 화소(SP1)의 화소 회로부(PCL)와 표시 소자층(DPL)을 배치하고, 제2 영역(SA)에 상기 표시 소자층(DPL)을 배치하지 않음에 따라, 상기 해당 서브 화소(SP1)의 투과 영역(TA)이 더욱 확보될 수 있다. 이로 인하여, 제1 서브 화소(SP1)의 개구율이 향상되고 해당 서브 화소(SP1)의 광 투과율이 증가할 수 있다.

[0351] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

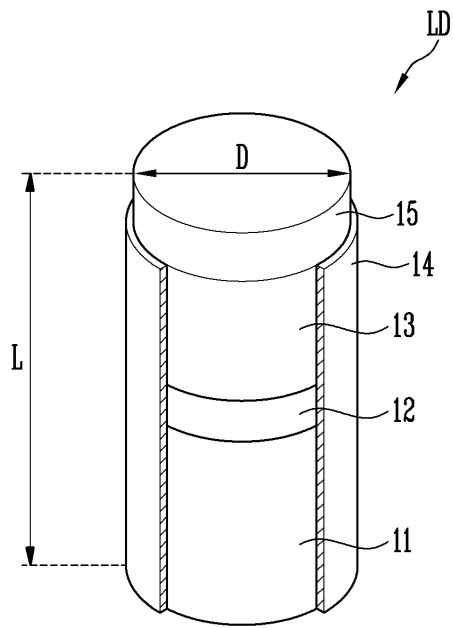
[0352] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

부호의 설명

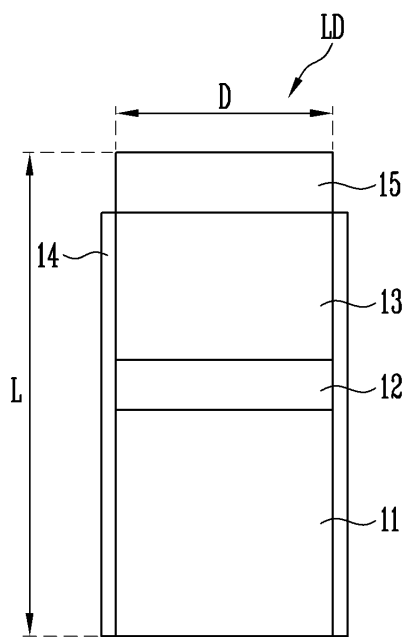
[0353] LD: 발광 소자 SUB: 기판
REL1, REL2: 제1 및 제2 전극 PW: 격벽
FA, SA: 제1 및 제2 영역 TA: 투과 영역
PCL: 화소 회로부 DPL: 표시 소자층
CPL1, CPL2: 제1 및 제2 캡핑층 OPN: 개구부
CNE1, CNE2: 제1 및 제2 컨택 전극 SDL: 차광 패턴
INS1 ~ INS5: 제1 내지 제5 절연층

도면

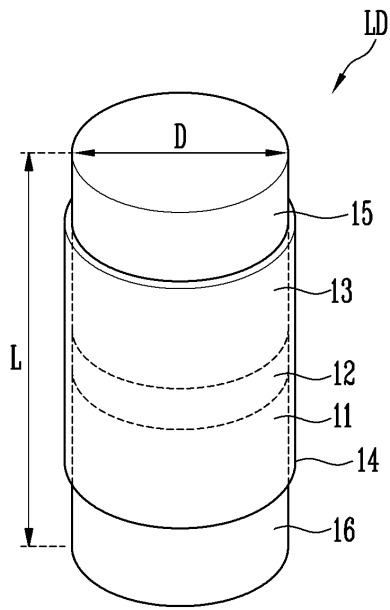
도면1a



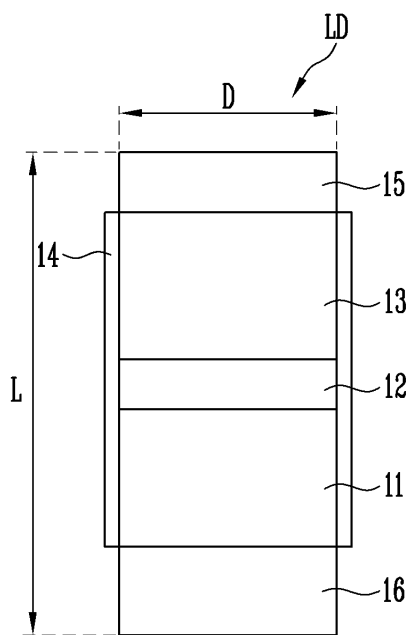
도면1b



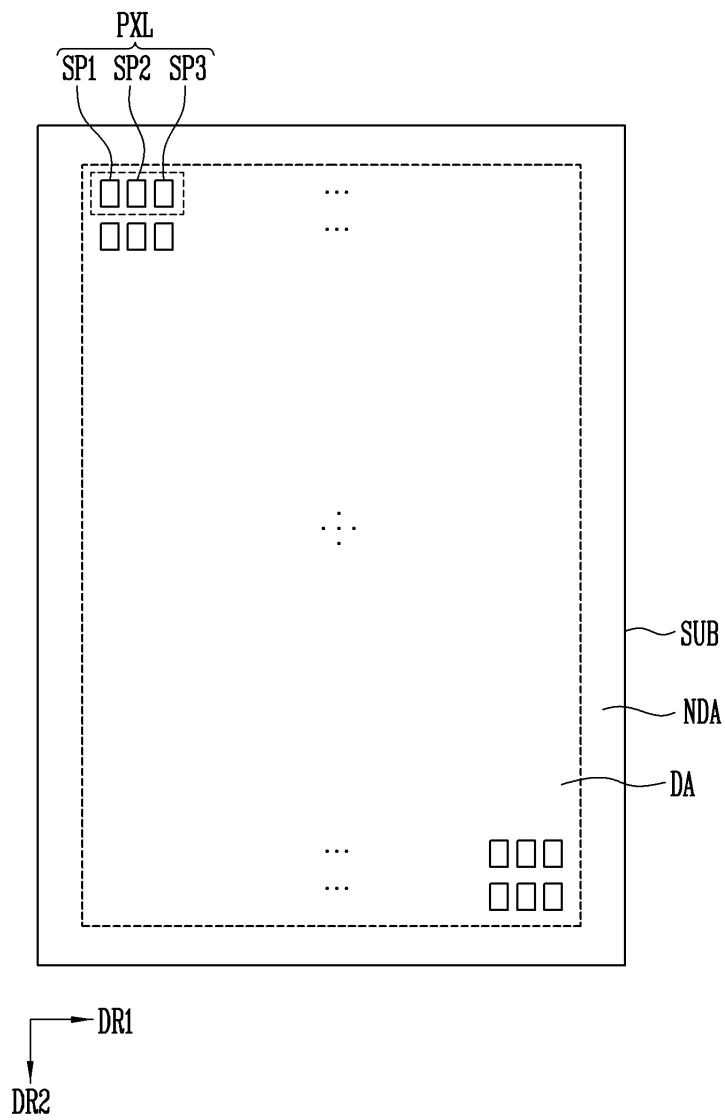
도면1c



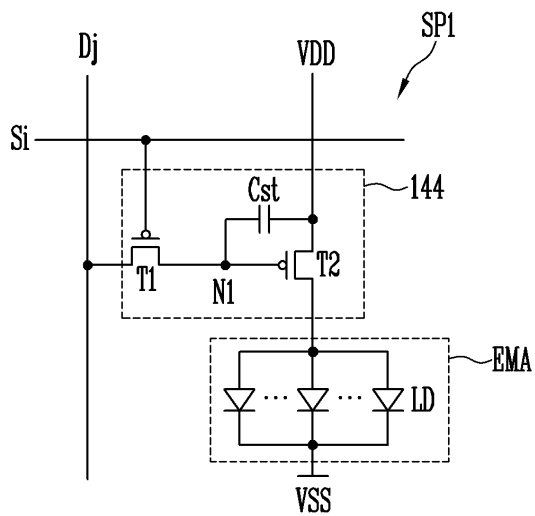
도면1d



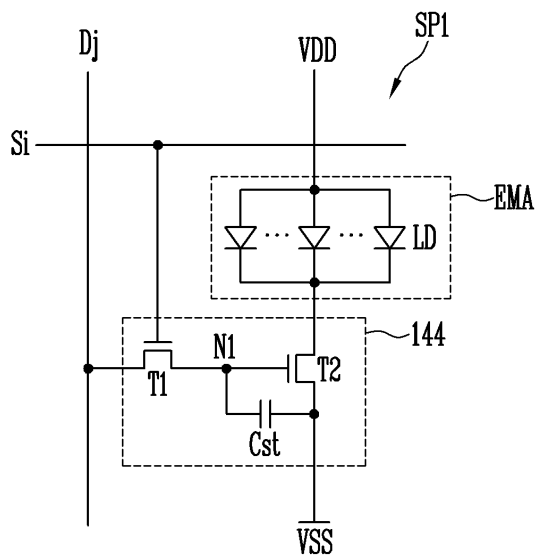
도면2



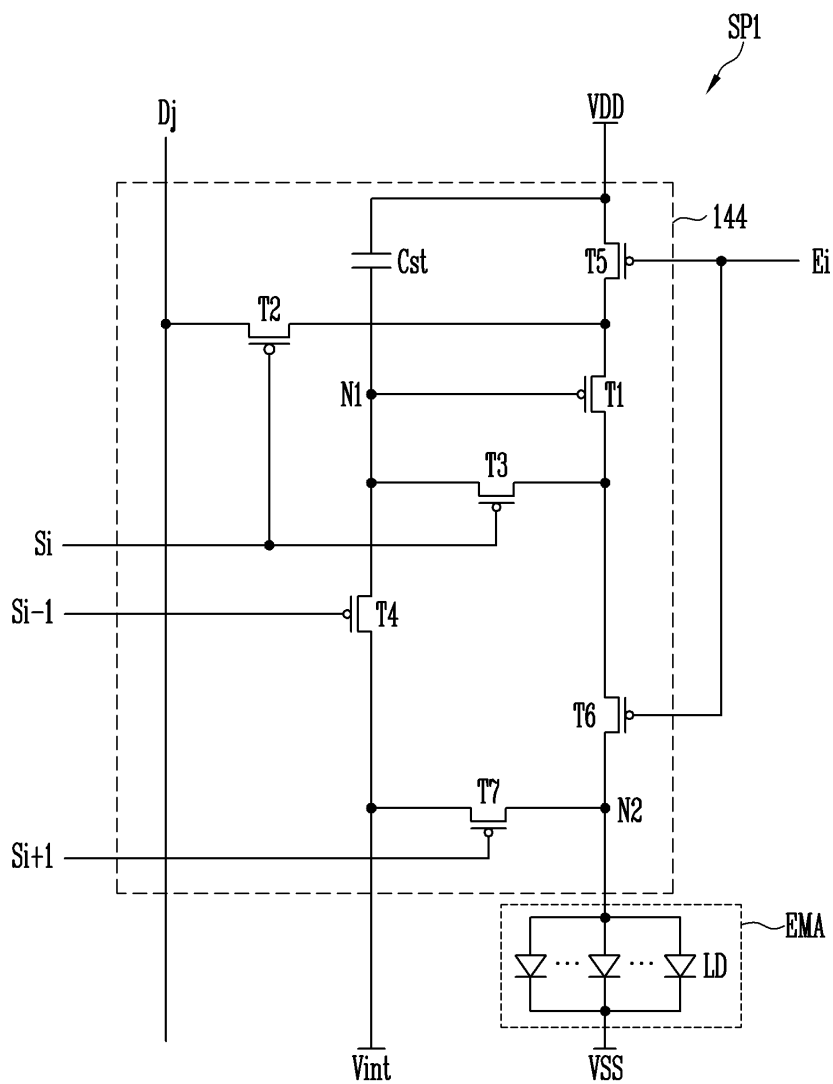
도면3a



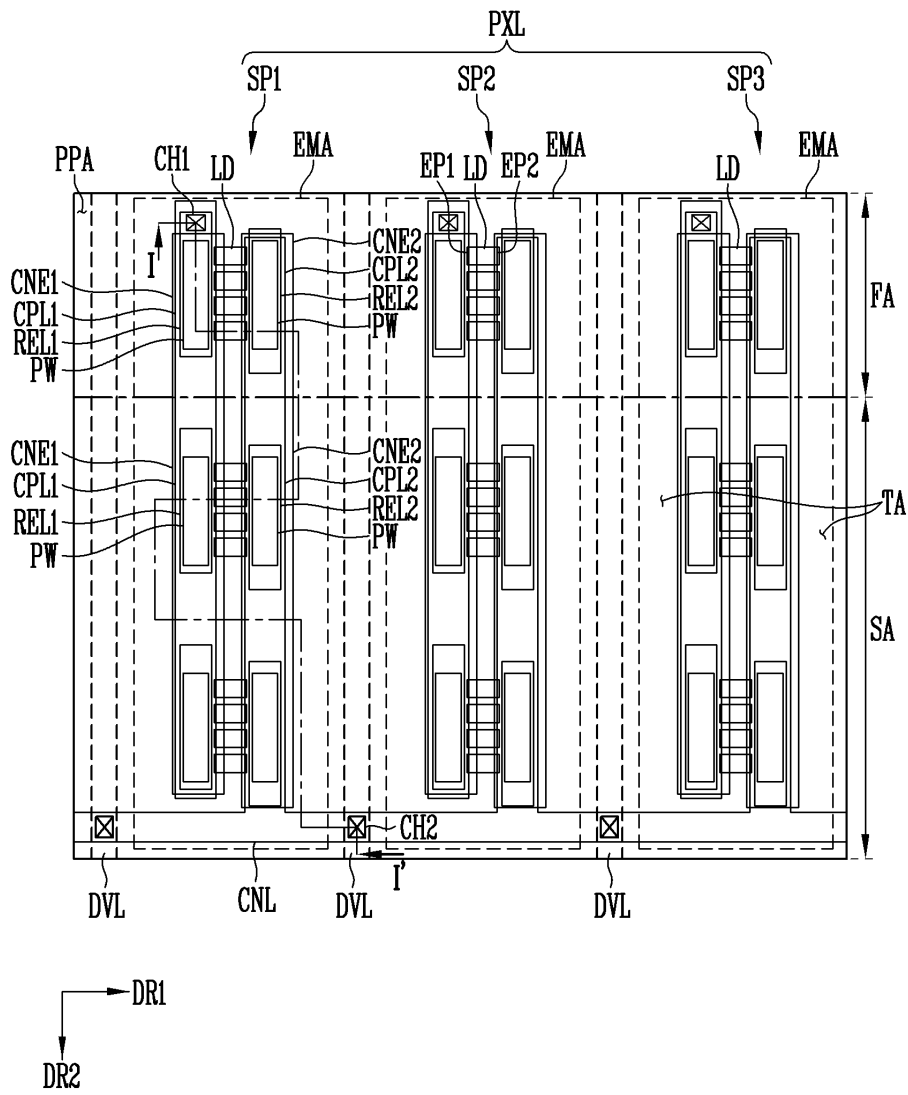
도면3b



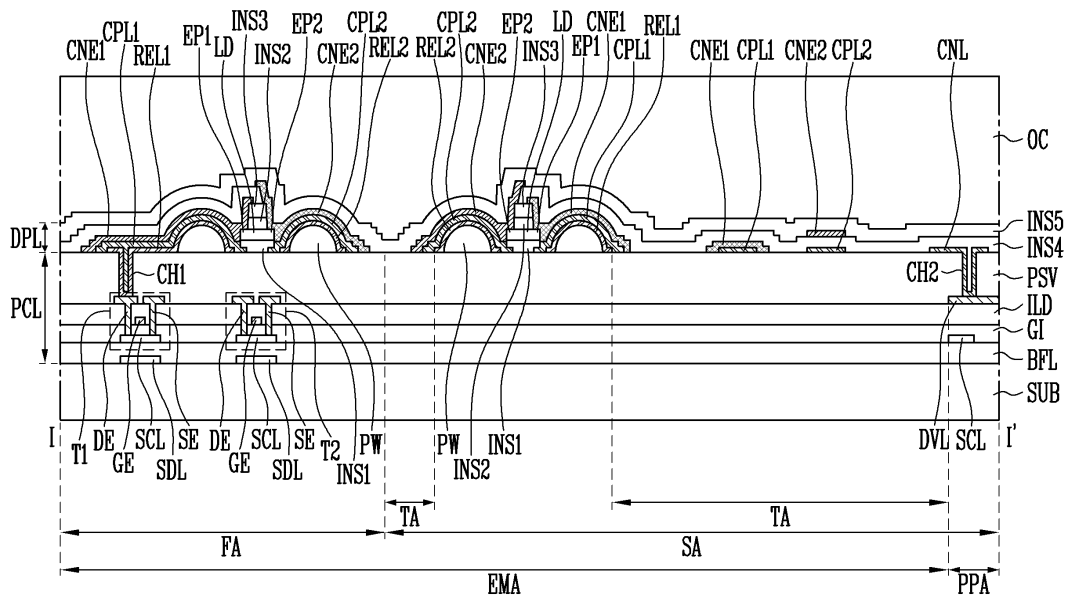
도면3c



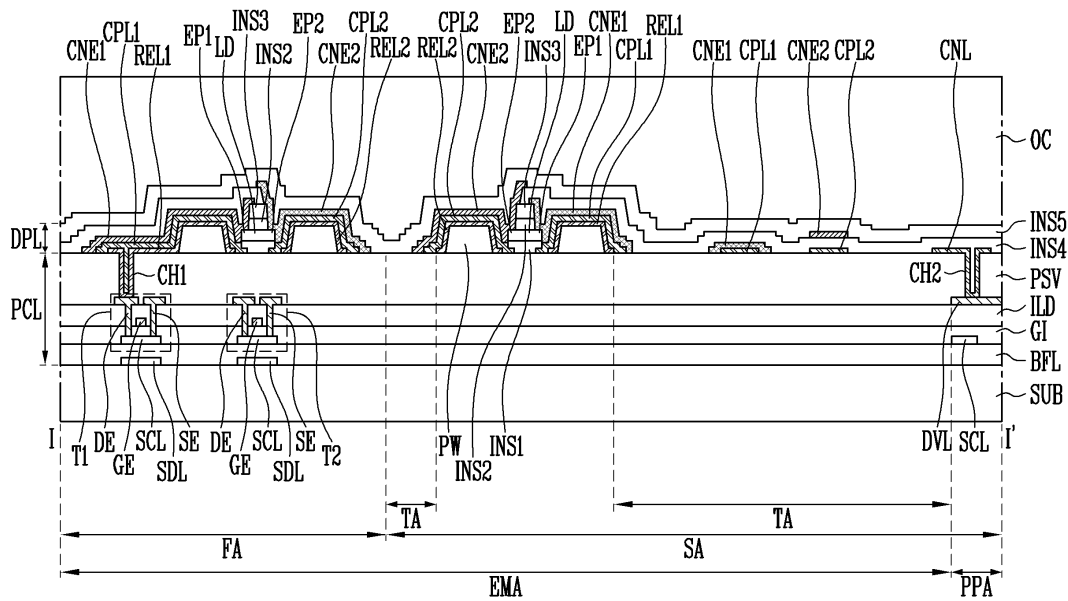
도면4



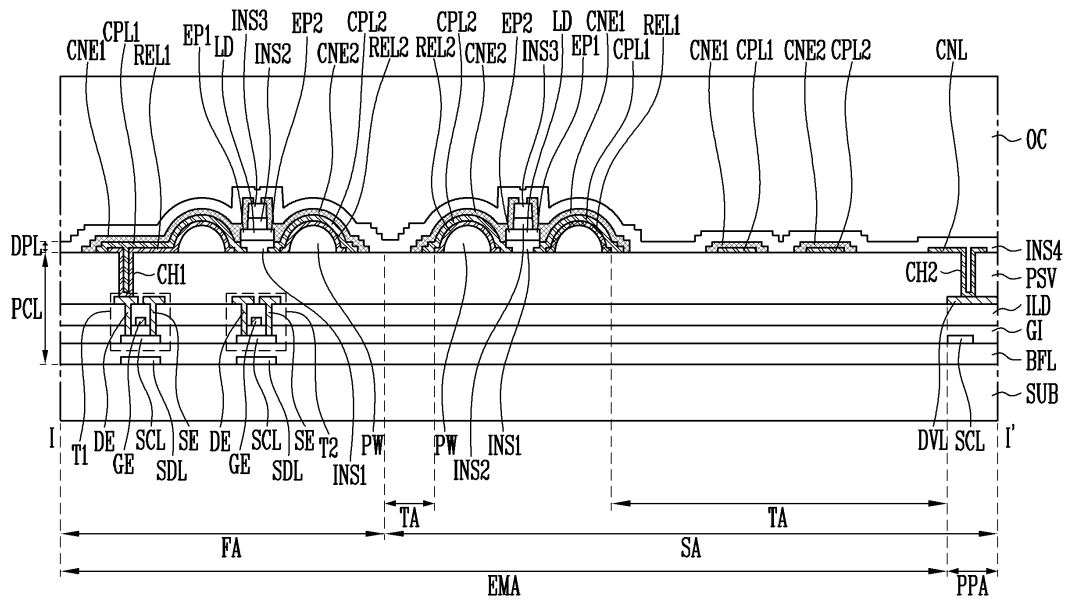
도면5



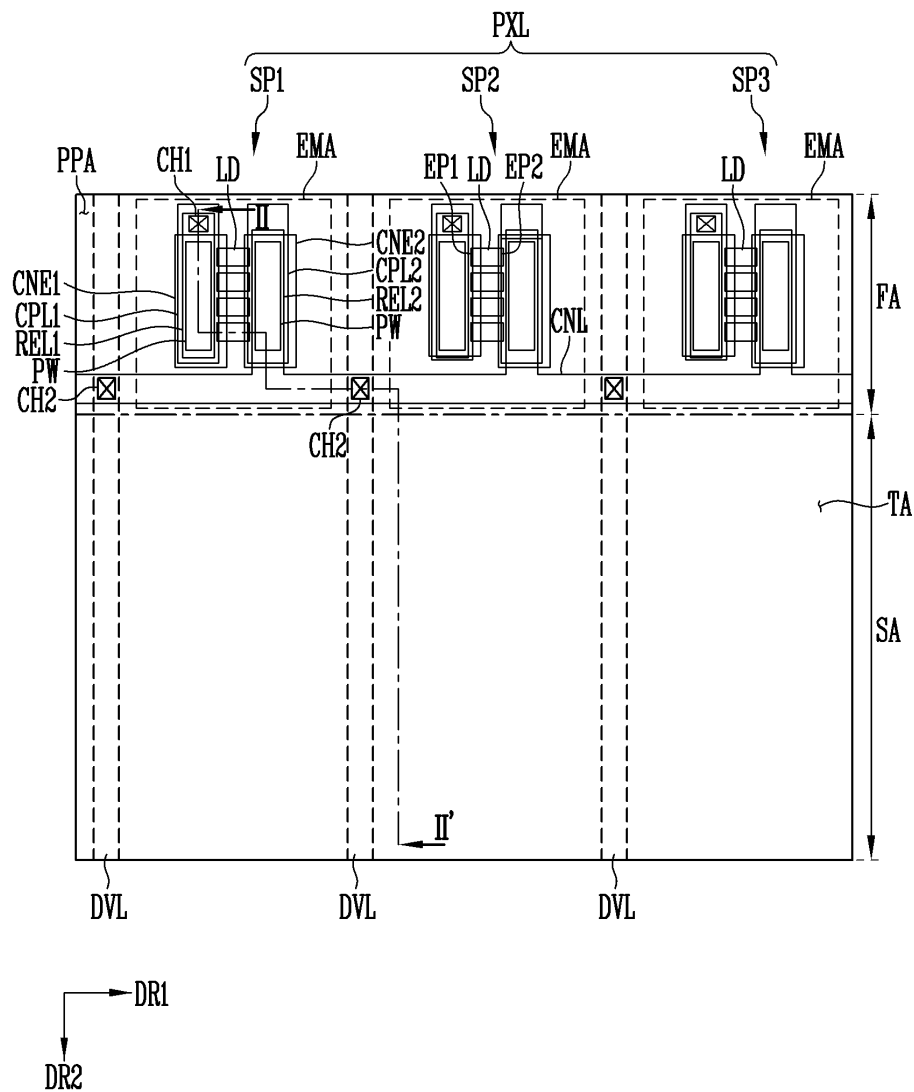
도면6



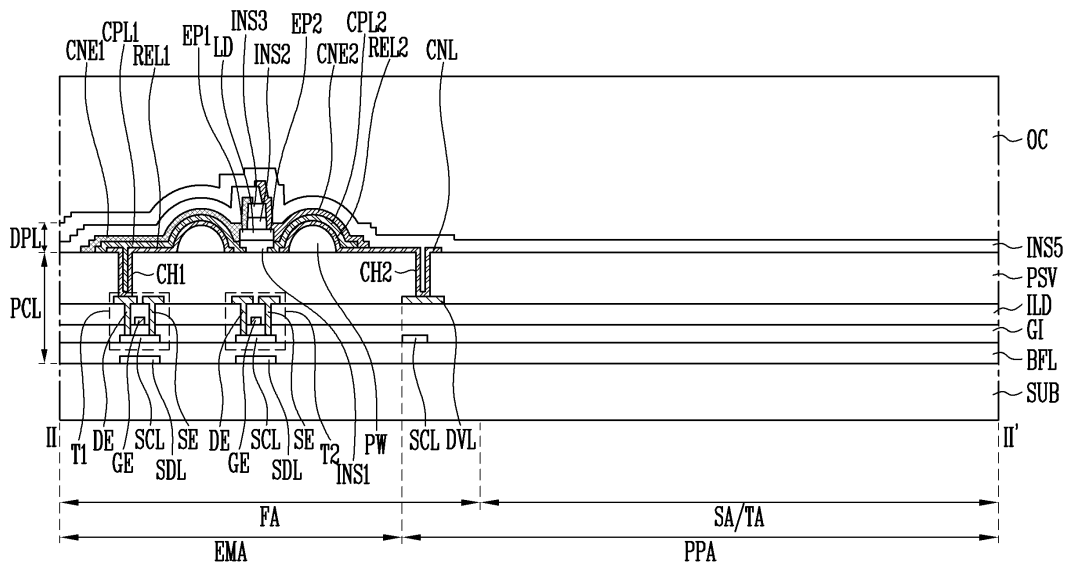
도면7



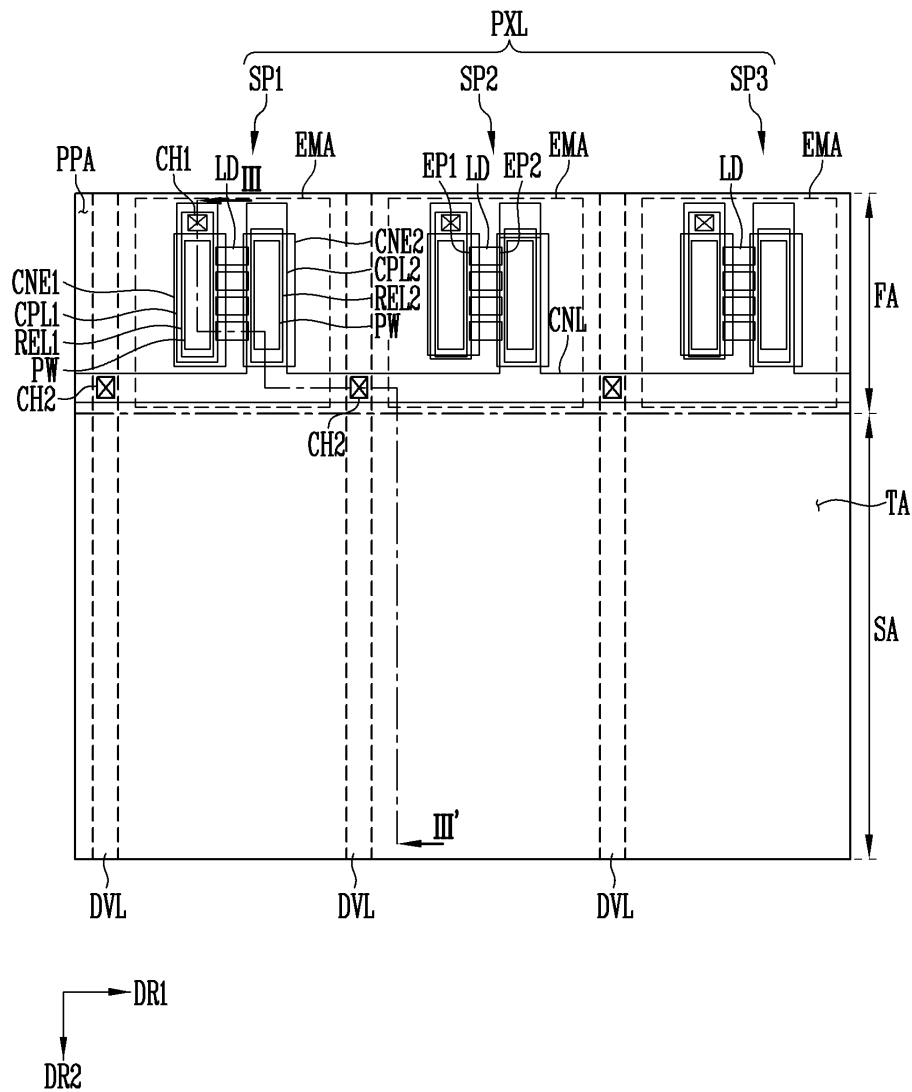
도면8



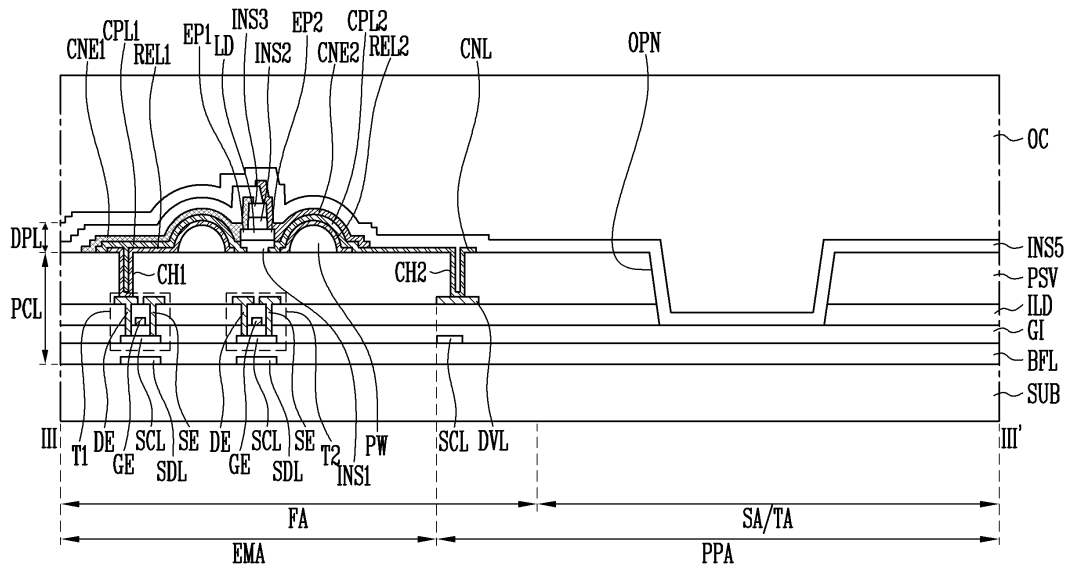
도면9



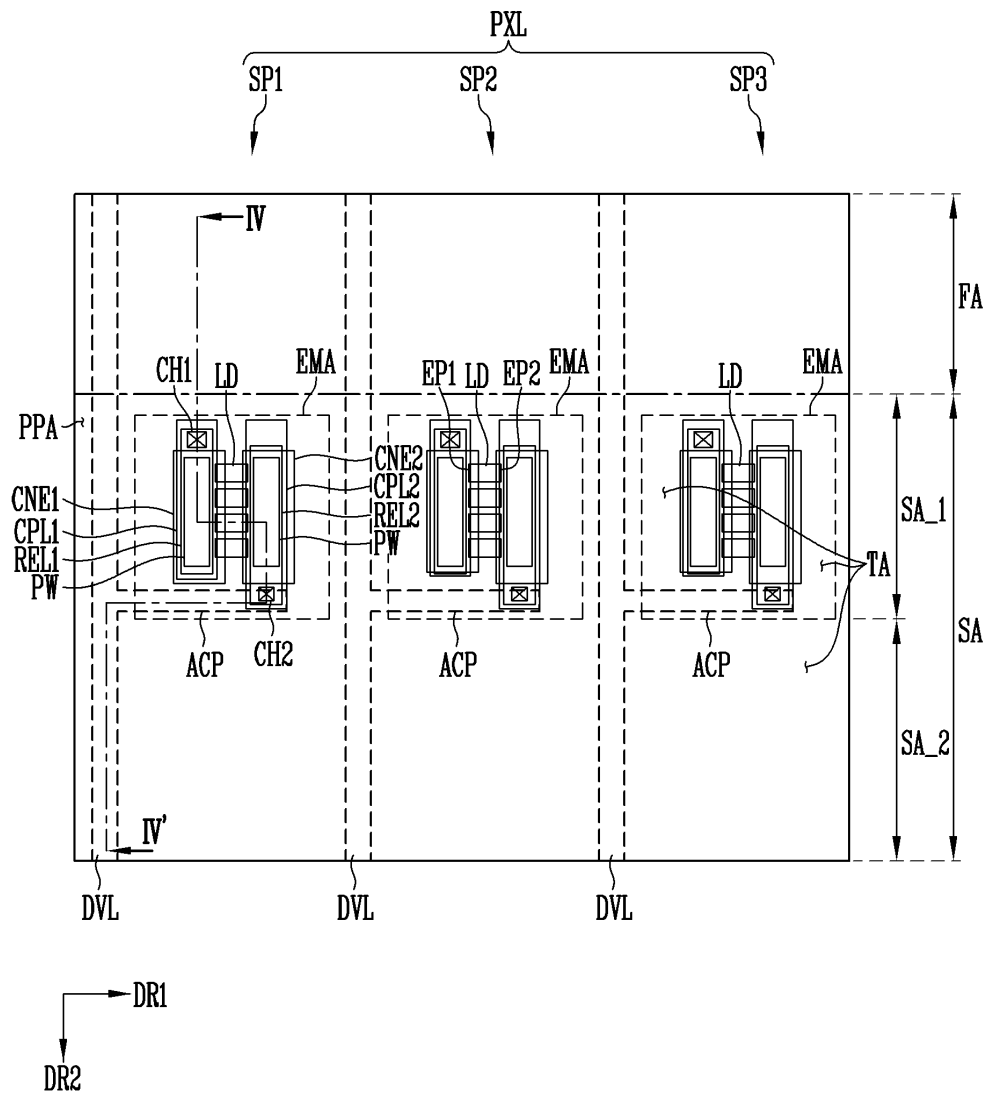
도면10



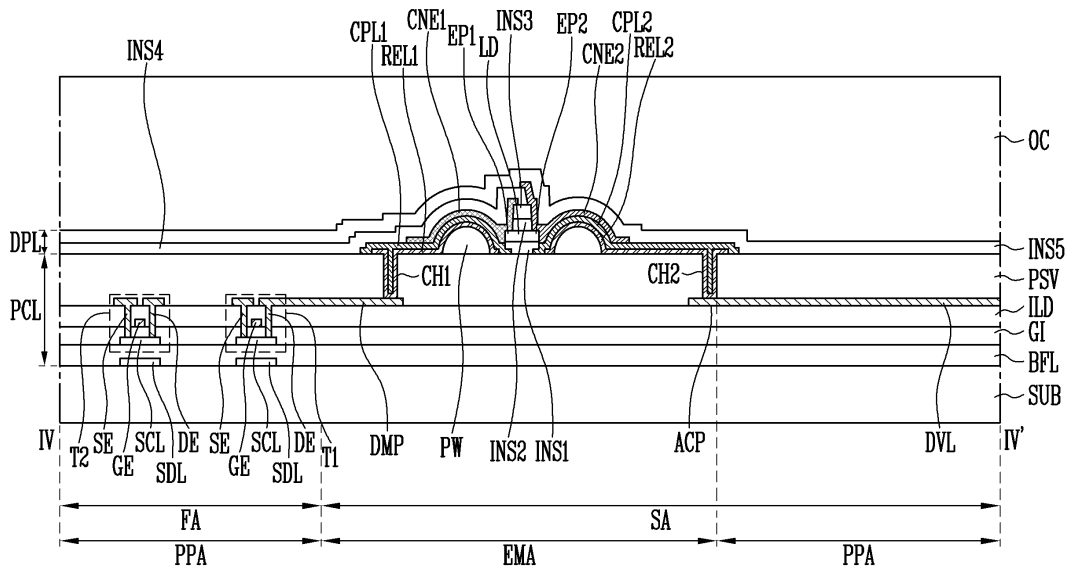
도면11



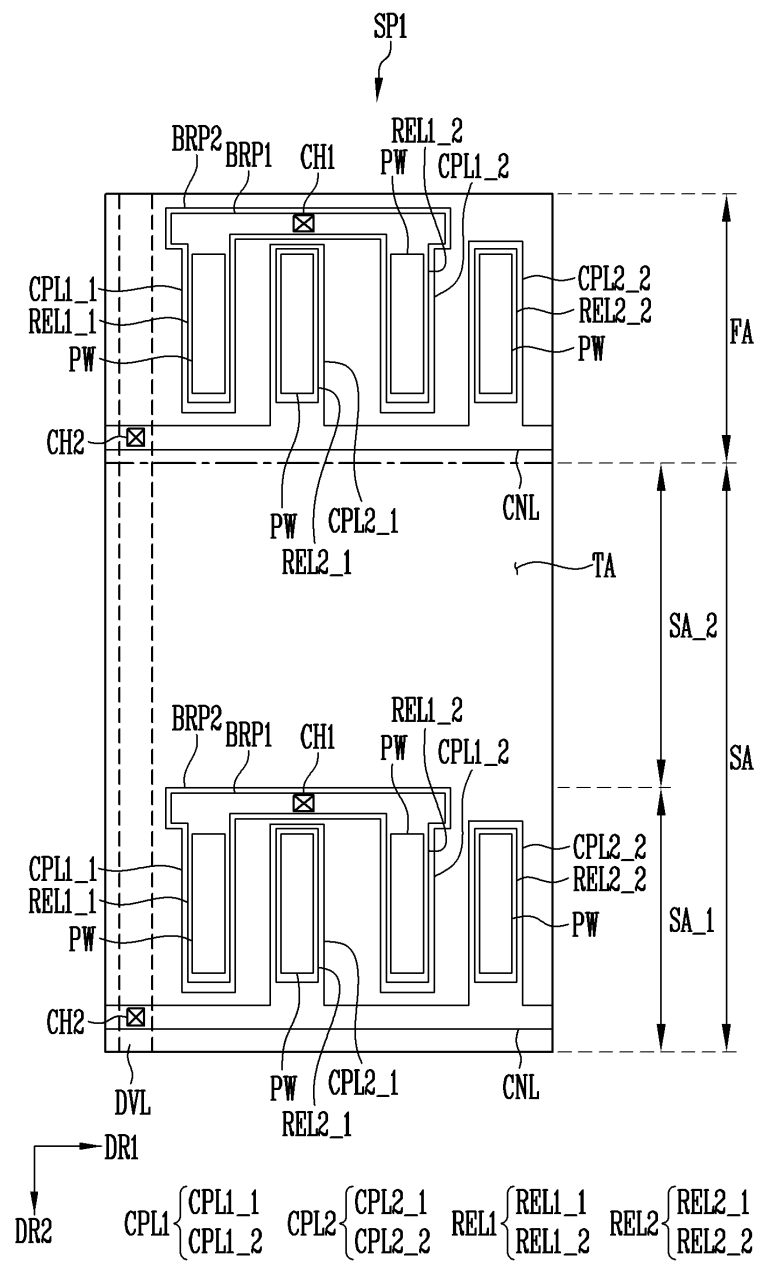
도면12



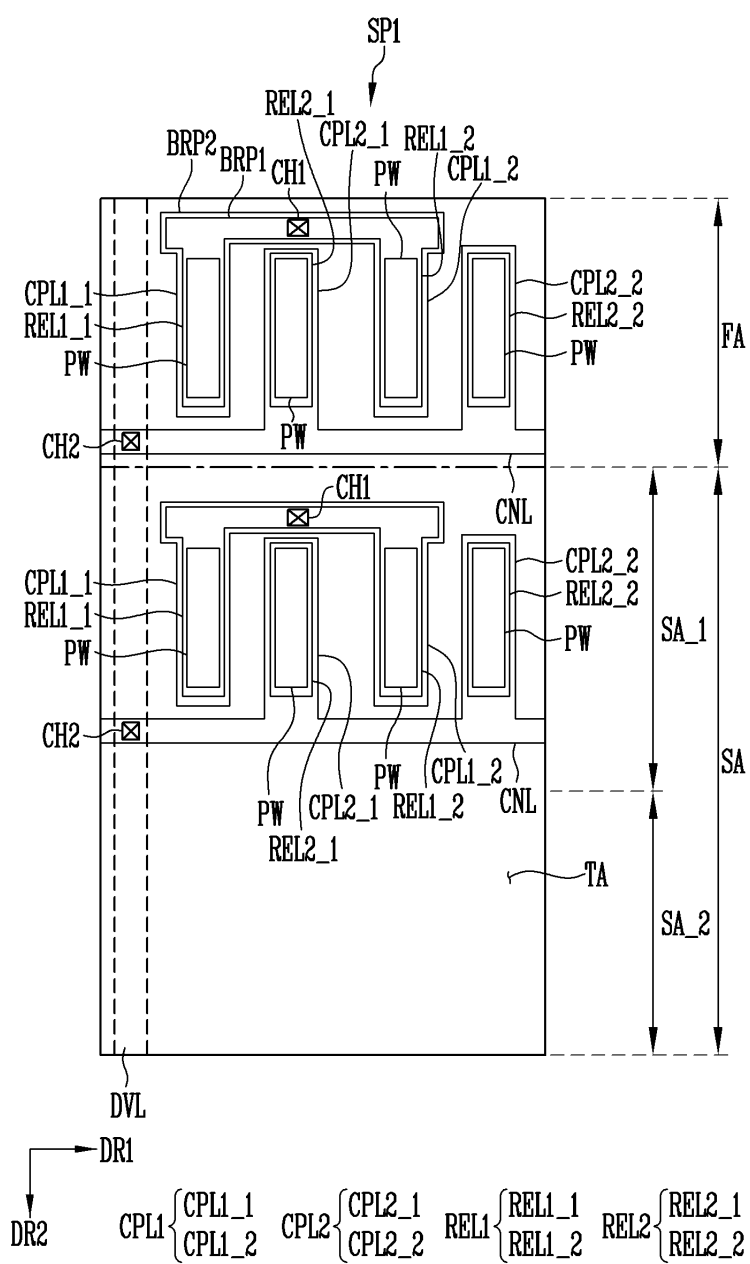
도면13



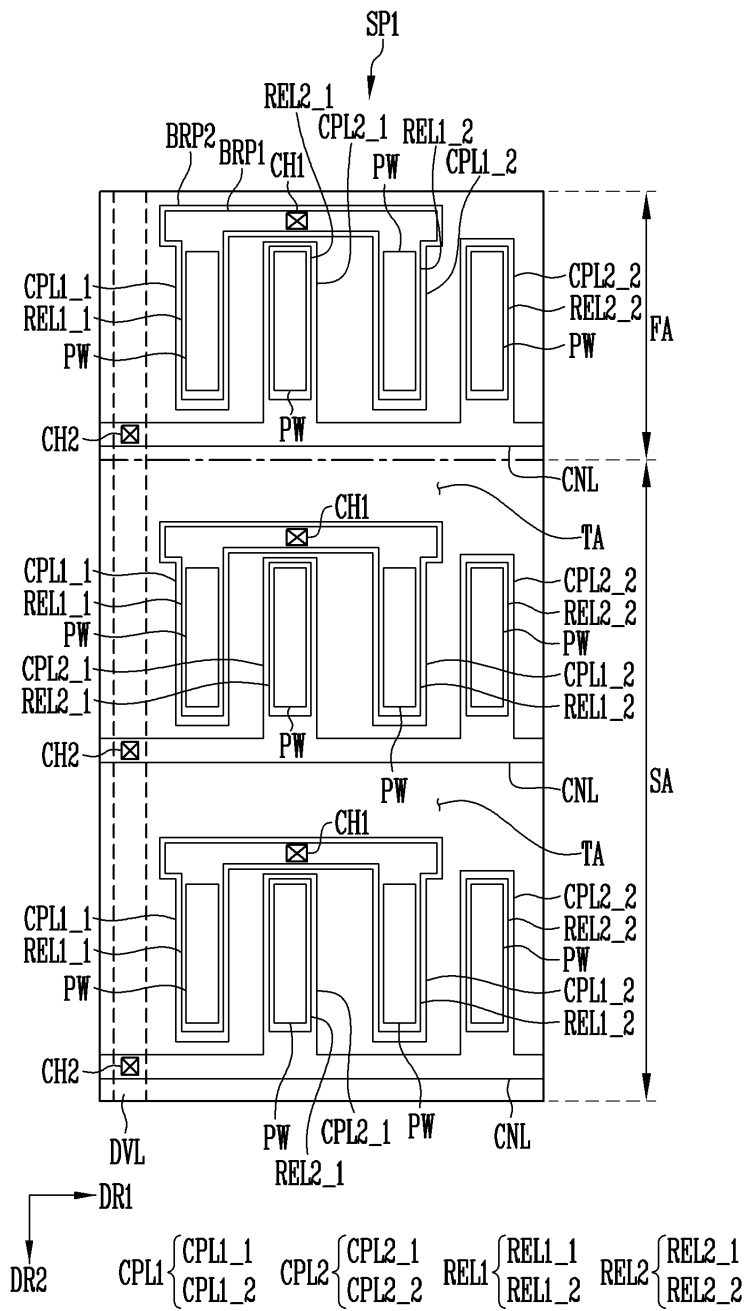
도면14



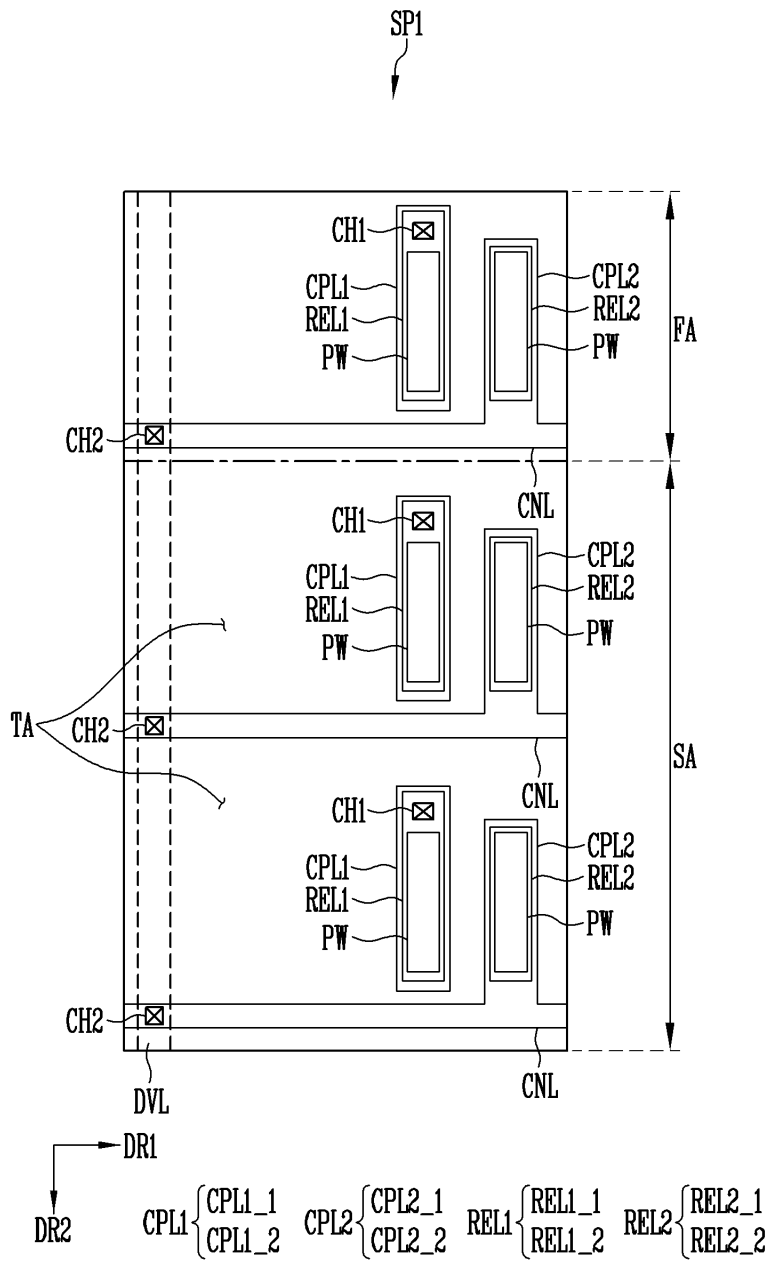
도면15



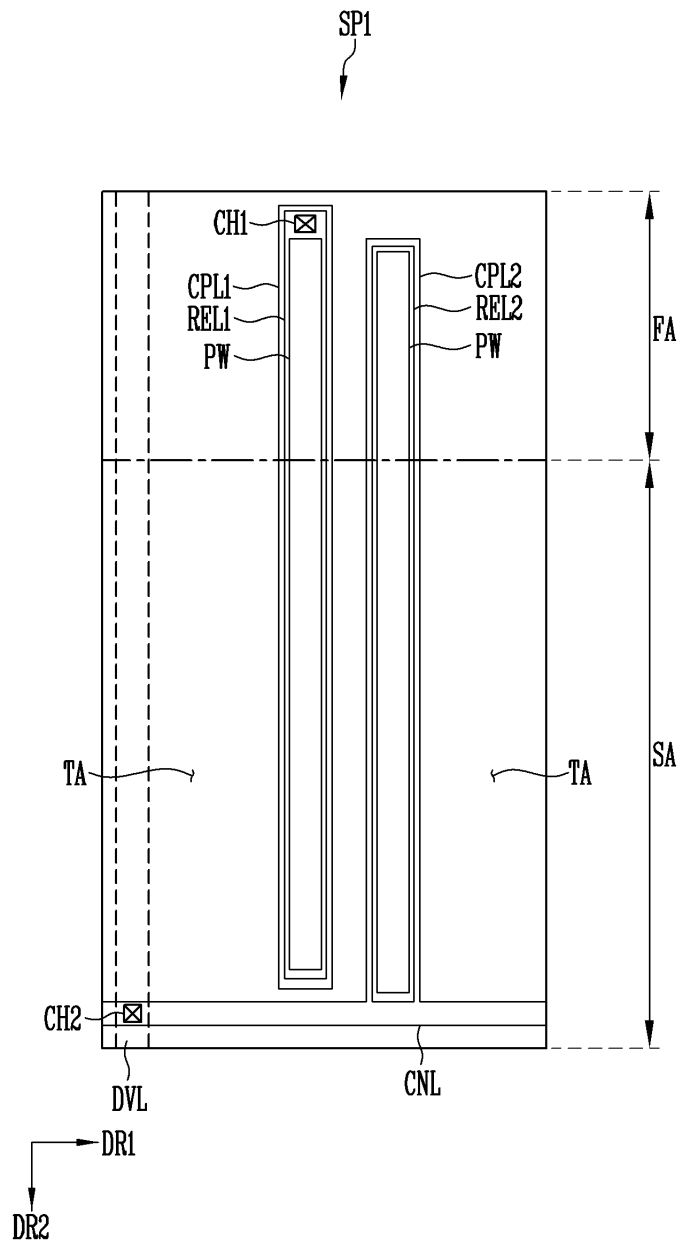
도면16



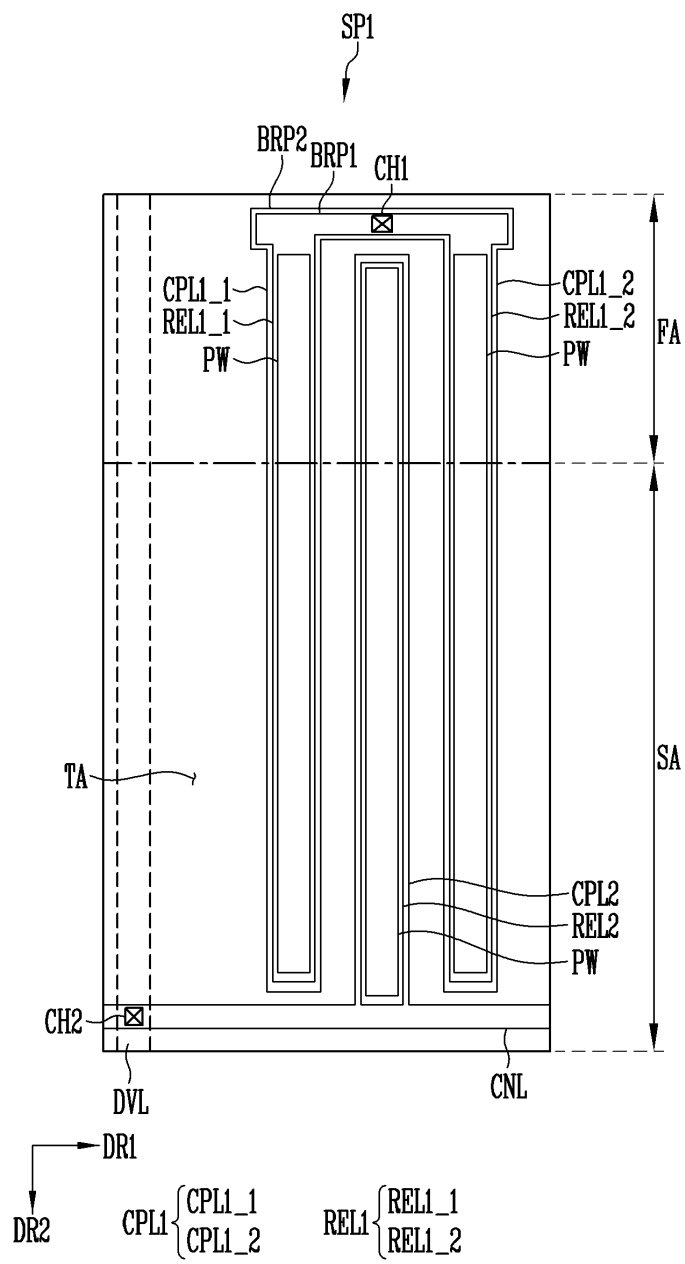
도면17



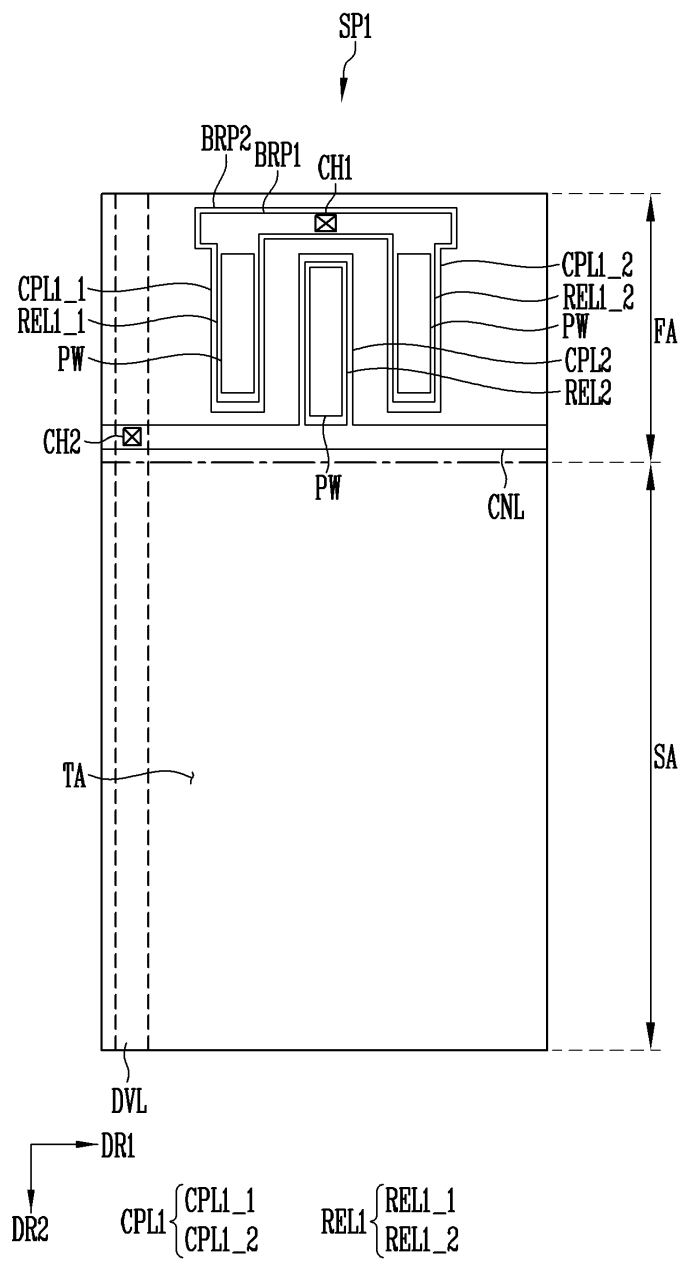
도면18



도면19



도면20



专利名称(译)	显示装置		
公开(公告)号	KR1020200042997A	公开(公告)日	2020-04-27
申请号	KR1020180123414	申请日	2018-10-16
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	박진오 강종혁 송근규 조성찬 조현민		
发明人	박진오 강종혁 송근규 조성찬 조현민		
IPC分类号	H01L27/12 H01L27/15 H01L33/38 H01L33/62		
CPC分类号	H01L27/1214 H01L27/156 H01L33/38 H01L33/62 H01L27/12 H01L27/15		
代理人(译)	Gimdusik Munyongho Ohjonghan		
外部链接	Espacenet		

摘要(译)

显示装置可以包括：基板，其包括显示区域和非显示区域；以及基板。多个像素设置到显示区域，并且每个像素具有多个子像素。这里，每个子像素可以包括：像素电路单元；以及像素电路单元。显示元件层具有至少一个用于发光的发光元件。显示元件层可以包括：第一和第二电极，设置在同一表面上并且彼此隔开；以及发光元件设置在第一电极与第二电极之间。第一接触电极，用于将第一电极与发光元件的两个端部中的一个端部连接。第二接触电极，用于将第二电极与发光元件的两端部中的另一端部连接。根据本发明的一个实施例，每个子像素可以包括：第一区域，像素电路单元被布置在第一区域中；以及第二区域被布置在第一区域中。与第一区域相邻的第二区域。在此，第二区域可以包括透射光的透射区域。

